

N° d'ordre 2008  
Année 2008

Thèse

# **Techniques d'échantillonnage des signaux radio et évaluation des MEMS dans un récepteur multi mode reconfigurable**

Présentée devant  
L'institut national des sciences appliquées de Lyon

Pour obtenir  
Le grade de docteur

Formation doctorale  
Microstructure et comportement mécanique  
et macroscopique des matériaux-Génie des matériaux

École doctorale  
École doctorale Électronique Électrotechnique et Automatique de Lyon

Par  
James Wei  
(Ingénieur)

Soutenance prévue le 26 septembre 2008 devant la Commission  
d'examen

Jury MM.

P.Loumeau	Rapporteur	Professeur (Telecom ParisTech)
D.Dallet	Rapporteur	Professeur (ENSEIRB)
D. Barbier	Directeur de Thèse	Professeur (INSA de Lyon)
J. Verdier	Co-Directeur	Professeur (INSA de Lyon)
D.Morche	Encadrant	Ingénieur (CEA-LETI)
S.Ramet	Co-Encadrant	Ingénieur (STMicroelectronics)

Laboratoire de recherche : Laboratoire de Physique de la Matière

---

## **Techniques d'échantillonnage des signaux radio et influence des MEMS dans un récepteur multi mode reconfigurable**

---

### Résumé

Dans les années à venir les systèmes de téléphonie de quatrième génération devront assurer une convergence des différents réseaux pour offrir une multitude de services et d'applications de façon transparente pour l'utilisateur. Cette convergence impose des contraintes sévères sur le développement des terminaux qui devront être multi-modes, multi-bandes et multi-standards. Une des solutions pour y parvenir est de développer des récepteurs de signaux RF dont la numérisation est réalisée le plus près possible de l'antenne. C'est une approche de la radio logicielle qui est particulièrement intéressante pour les opérateurs de télécommunication puisque les fonctions implémentées de façon digitale sont beaucoup plus adaptées à la reconfiguration que les fonctions analogiques. Le point clé de la numérisation réside dans l'échantillonnage du signal. Les dégradations apportées par cette étape (jitter, bande passante, non-linéarité) ne permettent pas actuellement de remplir le cahier des charges des systèmes actuels.

Dans ce contexte, l'objectif de la thèse est donc d'étudier les différentes techniques d'échantillonnage des signaux radio dans un récepteur et d'analyser l'influence que pouvaient avoir les MEMS (MicroElectroMechanical System) sur l'architecture du terminal. Plus précisément, la solution de filtrage avec les filtres MEMS dans un récepteur échantillonné a été examinée par rapport à la solution actuelle de filtrage externe. Ces études ont également évalué les différentes solutions architecturales qui permettent de réduire les contraintes de l'échantillonneur. Cette première étape a permis d'établir une comparaison quantitative entre ces différentes solutions en termes du facteur de bruit et du besoin de filtrage et s'est conclue par l'identification d'une solution architecturale et par l'élaboration des cahiers des charges relatifs aux blocs critiques dans le récepteur. Afin de vérifier l'architecture proposée, un modèle de système a été développé et un prototype à signaux mixtes pour un filtre échantillonné à une fréquence intermédiaire élevée a été réalisé en technologie CMOS 65 nm.

**Mots-Clés:** 4G - CMOS 65 nm - échantillonnage - MEMS - radio logicielle – récepteur reconfigurable

---

## **Sampling techniques of RF signals and the influence of MEMS on a multi-mode reconfigurable receiver**

---

### Abstract

The future development of 4G system of wireless telephony must assure the compatibility of different networks and protocols in order to offer users universal services and applications with seamless transitions. This compatibility imposes future terminals to be multi-mode, multi-band and multi-standard. One solution being actively pursued at present is to develop a receiver which digitize signals as close to the antenna as possible. The approach, also known as Software Defined Radio (SDR), is particularly appealing to telephone operators given that it is much easier to reconfigure a network in a digital domain than in an analogue domain. The critical point in digitization rests in sampling. In reality, the existing sampling techniques and receiver architectures do not yet suffice to overcome signal degradations of jitter, bandwidth and non linearity due to sampling at high RF frequencies.

This research includes the study the RF architectures adapted to broadband communication systems and the evaluation of various architecture options which makes it possible to reduce the constraints of the sampler. In addition, the technology of MEMS (MicroElectroMechanical System) potentially to be integrated in sampling receiver architecture is assessed. In particular, the solution of MEMS filtering in a sampled receiver is compared to the solution of off-chip filtering. A preliminary study is also carried out on several sampled receiver architectures in terms of noise figure and filtering requirement. Based on this study, a sampled architectural solution is then proposed in this work. Specifications of all fundamental blocks in the proposed sampling receiver including MEMS filter are derived as part of the detailed study. To verify the proposed solution, a system level model is developed and a prototype of a high-IF, mixed signal sampling filter is implemented in CMOS 65nm.

**Keywords:** 4G - CMOS 65 nm – MEMS – reconfigurable receiver - sampling - SDR

---

A mes parents  
A mes oncles et tantes  
A tous ceux qui me sont Chers

# Table des matières

**James Wei**

Thèse en télécommunication / 2008

Institut national des sciences appliquées de Lyon

i

<b>INTRODUCTION GENERALE</b>	<b>2</b>
<b>CHAPITRE 1 : BESOINS DE LA RECEPTION DE LA RADIO LOGICIELLE</b>	<b>5</b>
<b>1.1 Besoins de la réception pour la télécommunication 4G</b>	<b>5</b>
1.1.1 La radio logicielle.....	6
1.1.2 Scénarii de la radio logicielle .....	8
<b>1.2 Besoin au niveau de la conversion analogique numérique</b>	<b>11</b>
<b>1.3 Evolution des technologies</b>	<b>12</b>
1.3.1 Effets de la réduction de dimensions sur le courant de fuite.....	13
1.3.2 Progrès du transistor FET.....	14
1.3.3 Technologie CMOS 65 nm.....	15
<b>1.4 L'état de l'art du filtre MEMS</b>	<b>15</b>
1.4.1 Filtre BAW.....	16
1.4.2 Filtre à ondes de Lamb .....	22
1.4.3 Filtre MEMS pour un récepteur de la radio logicielle.....	23
<b>1.5 Comparaison des technologies de filtrage passif</b>	<b>26</b>
<b>1.6 Conclusion</b>	<b>26</b>
<b>CHAPITRE 2 : METHODE DE TRANSPOSITION DE FREQUENCE DANS UN RECEPTEUR</b>	<b>28</b>
<b>2.1 Introduction</b>	<b>29</b>
<b>2.2 Récepteur analogique et récepteur échantillonné</b>	<b>29</b>
2.2.1 Architecture du récepteur à mélangeur .....	29
2.2.2 Architecture du récepteur échantillonné.....	31
2.2.3 Comparaison de l'Etat de l'Art du Récepteur Echantillonné.....	36
<b>2.3 Méthode de changement de fréquence</b>	<b>37</b>
2.3.1 Mélangeur versus échantillonneur bloqueur (S/H).....	37
2.3.2 L'effet de bruit de phase sur mélangeur et sur échantillonneur bloqueur.....	38
<b>2.4 Défauts des échantillonneurs</b>	<b>42</b>
2.4.1 Défauts liés à la technologie.....	43
2.4.2 Autres défauts liés à l'opération d'échantillonnage.....	49
<b>2.5 Conclusions</b>	<b>53</b>
<b>CHAPITRE 3 : ARCHITECTURE DU RECEPTEUR ECHANTILLONNE</b>	<b>55</b>
<b>3.1 Introduction</b>	<b>56</b>
<b>3.2 Proposition d'architectures du récepteur échantillonné</b>	<b>56</b>

3.2.1	Architecture I : Récepteur à échantillonnage direct .....	56
3.2.2	Architecture II : Récepteur à modulation $\Sigma\Delta$ .....	58
3.2.3	Architecture III : Récepteur à échantillonnage à fréquence intermédiaire fixe.....	59
<b>3.3</b>	<b>Cahier des charges du récepteur échantillonné</b>	<b>62</b>
3.3.1	Architecture .....	62
3.3.2	Cahier des charges.....	63
3.3.3	Niveau de bruit du filtre RF complexe.....	65
3.3.4	Besoin de filtrage .....	65
<b>3.4</b>	<b>Conclusion</b>	<b>67</b>
 <b>CHAPITRE 4 : REALISATION DU RECEPTEUR ECHANTILLONNE</b>		<b>69</b>
<b>4.1</b>	<b>Introduction</b>	<b>70</b>
<b>4.2</b>	<b>FILTRE RIF avec échantillonneur de charges</b>	<b>70</b>
<b>4.3</b>	<b>Implémentation du filtre RIF complexe</b>	<b>71</b>
4.3.1	Circuit à réseaux de capacités commutées.....	71
4.3.2	Capacités commutées avec intégrateur actif.....	74
4.3.3	Miroirs de courant commutés .....	75
4.3.4	Résistances commutées en entrée .....	76
<b>4.4</b>	<b>Cahier des charges du filtre RIF complexe</b>	<b>78</b>
4.4.1	Filtre RIF complexe avec échantillonneur de charges.....	78
4.4.2	Cahier des charges de l'échantillonneur de charges et de l'amplificateur à transconductance .....	79
<b>4.5</b>	<b>Amplificateur à transconductance</b>	<b>84</b>
4.5.1	Etat de l'art de l'amplificateur à transconductance.....	84
<b>4.6</b>	<b>Proposition d'un nouvel amplificateur à transconductance</b>	<b>90</b>
4.6.1	Défauts de l'amplificateur à transconductance pour l'échantillonnage en charges.....	95
4.6.2	Impact de la perte de l'intégration sur le filtre RIF .....	97
<b>4.7</b>	<b>Conclusion</b>	<b>98</b>
 <b>CHAPITRE 5 : IMPLEMENTATION CIRCUIT ET MODELISATION DU FILTRE RIF COMPLEXE</b>		<b>100</b>
<b>5.1</b>	<b>Introduction</b>	<b>101</b>
<b>5.2</b>	<b>Système complet du filtre RIF complexe</b>	<b>101</b>
5.2.1	Programmation et génération d'horloges .....	103
5.2.2	Pondération de gain.....	106
5.2.3	Échantillonneur bloqueur.....	110
5.2.4	Intégrateur à capacités commutées .....	112
<b>5.3</b>	<b>Simulation des imperfections du filtre RIF</b>	<b>115</b>
5.3.1	Influence de la dispersion sur la réponse fréquentielle.....	115
5.3.2	Non-alignement des horloges d'échantillonnage.....	117
<b>5.4</b>	<b>Modèle comportemental du système</b>	<b>120</b>

5.4.1	Effet des déphasages d'horloge.....	124
5.4.2	Effet de l'impédance de sortie.....	124
5.4.3	Effet de l'injection de charges .....	128
5.4.4	Effet de la variation de la résistance de l'interrupteur.....	129
5.4.5	Effet de la variation de la tension de seuil .....	130
5.4.6	Importance de la remise à zéro .....	131
5.4.7	Influence de gigue sur le bruit d'échantillonnage.....	132
<b>5.5</b>	<b>Performances simulées</b>	<b>133</b>
<b>5.6</b>	<b>Difficultés de réalisation</b>	<b>134</b>
<b>5.7</b>	<b>Conclusion</b>	<b>135</b>
	<b>CONCLUSION GENERALE</b>	<b>136</b>
	<b>PERSPECTIVE</b>	<b>138</b>
	<b>ANNEXE</b>	<b>139</b>
	<b>ANNEXE 1A</b>	<b>139</b>
	<b>ANNEXE 4A</b>	<b>140</b>
	<b>ANNEXE 4B</b>	<b>141</b>
	<b>ANNEXE 4C</b>	<b>141</b>
	<b>ANNEXE 5A</b>	<b>144</b>
	<b>ANNEXE 5B</b>	<b>145</b>
	<b>ANNEXE 5C</b>	<b>146</b>
	<b>BIBLIOGRAPHIE</b>	<b>149</b>



# TABLE DES ILLUSTRATIONS

**James Wei**

Thèse en télécommunication / 2008  
Institut national des sciences appliquées de Lyon

i

<i>Numéro</i>	<i>Page</i>
Figure 1.1-1 Utilisation actuelle du spectre jusqu'à 6GHz en France [1-3] .....	7
Figure 1.1-2 Scénario de base de la radio logicielle.....	9
Figure 1.1-3 Détection du spectre disponible à la bande de télévision.....	10
Figure 1.1-4 Scénario avancé de la radio logicielle idéale .....	10
Figure 1.4-1 Récepteur avec MEMS intégré à la tête de réception .....	16
Figure 1.4-2 Comparaison de la sélectivité des 3 types de filtre passif [1-41] .....	17
Figure 1.4-3 Mode de propagation des résonateurs SAW et BAW.....	18
Figure 1.4-4 Résonateur FBAR.....	19
Figure 1.4-5 Réalisation d'un filtre à passe bande avec des résonateurs FBAR.....	20
Figure 1.4-6 Réalisation d'un résonateur SMR.....	21
Figure 1.4-7 Résonateurs CRF et SCF.....	21
Figure 1.4-8 Résonance d'un résonateur SCF sans et avec un réflecteur .....	22
Figure 1.4-9 Mode de propagation des ondes acoustiques du résonateur BAW.....	23
Figure 1.4-10 Filtre à résonateur FBAR à 920MHz .....	24
Figure 1.4-11 Filtre à ondes de Lamb à 700 MHz.....	25
Figure 1.4-12 Harmoniques parasites du filtre à ondes de Lamb couplé acoustiquement .....	25
Figure 2.2-1 Architecture de récepteur hétérodyne.....	30
Figure 2.2-2 Chaîne du récepteur échantillonné à Digital IF.....	32
Figure 2.2-3 Echantillonneur bloqueur à entrelacement temporel.....	33
Figure 2.2-4 Echantillonnage par décimation.....	34
Figure 2.2-5 Filtrage avec décimation en cascade .....	34
Figure 2.2-6 Diagramme équivalent à la structure en cascade.....	35
Figure 2.3-1 Spectre de conversion de fréquences (a) avec un mélangeur (b) avec un S/H.....	38
Figure 2.3-2 L'effet de bruit de phase sur le SNR de mélangeur .....	39
Figure 2.3-3 SNR dégradation du mélangeur en présence d'un brouilleur .....	40
Figure 2.3-4 L'effet du repliement sur le SNR de S/H.....	41
Figure 2.3-5 Comparaison de SNR en fonction de la gigue d'horloge .....	41
Figure 2.4-1 S/H de tension avec commutateur MOS.....	42
Figure 2.4-2 Défauts d'échantillonnage en tension .....	43
Figure 2.4-3 Modèle <i>Sheu</i> de l'injection de charges .....	44
Figure 2.4-4 Modèle <i>Aghtar</i> de l'injection de charges.....	45
Figure 2.4-5 Distorsion par injection de charges .....	47
Figure 2.4-6 L'effet de l'amplitude sur SNDR .....	47
Figure 2.4-7 Distorsion harmonique en fonction du temps de descente de l'horloge .....	48
Figure 2.4-8 Une corrélation entre la bande passante de l'échantillonneur et la conductance drain-source de MOS.....	50
Figure 2.4-9 La fonction transfert d'un échantillonneur en charges .....	51
Figure 2.4-10 L'incertitude de l'ouverture de l'échantillonneur de tension .....	52
Figure 2.4-11 L'incertitude de l'ouverture de l'échantillonneur de charges .....	52
Figure 2.4-12 Comparaison du SNR limité par la gigue d'horloge d'échantillonnage .....	53
Figure 3.2-1 Un récepteur radio logicielle .....	56
Figure 3.2-2 Architecture I : Echantillonnage direct.....	57
Figure 3.2-3 Problème d'image.....	58
Figure 3.2-4 Architecture II : Récepteur à modulation $\Sigma\Delta$ .....	59
Figure 3.2-5 Architecture III : Récepteur numérisé à fréquence intermédiaire fixe.....	59

Figure 3.2-6 Problème d'image pour l'architecture II et III.....	60
Figure 3.2-7 Configuration récepteur numérisé pour la comparaison d'architecture .....	61
Figure 3.3-1 Récepteur échantillonné pour WCDMA.....	62
Figure 3.3-2 Le profil des brouilleurs de la norme WCDMA .....	63
Figure 3.3-3 Profil du filtre d'anti-repliement.....	65
Figure 3.3-4 Profil du filtre échantillonné complexe.....	67
Figure 4.3-1 Un exemple du circuit à capacités commutées avec quatre valeurs de coefficients possibles .....	72
Figure 4.3-2 Eléments parasites du circuit à capacités commutées .....	72
Figure 4.3-3 Perte de gain en fonction des capacités parasites pour un filtre RIF à capacités commutées.....	73
Figure 4.3-4 Les capacités commutées de charges avec un amplificateur opérationnel.....	74
Figure 4.3-5 Miroirs de courants commutés.....	75
Figure 4.3-6 Fuite de charges échantillonnées à cause de l'impédance finie de sortie .....	76
Figure 4.3-7 Génération de coefficients avec un diviseur résistif.....	77
Figure 4.3-8 Modèle des défauts des résistances commutées.....	78
Figure 4.4-1 Filtre RIF complexe avec un S/H de charges .....	80
Figure 4.5-1 Amplificateur à transconductance à base d'inverseur .....	84
Figure 4.5-2 Amplificateur à transconductance différentielle à base d'inverseur.....	85
Figure 4.5-3 Amplificateur à transconductance à base de la cellule de Gilbert.....	86
Figure 4.5-4 Amplificateur à transconductance à base de la cellule Gilbert avec linéarité améliorée .....	87
Figure 4.5-5 Amplificateur à transconductance à base de la cellule Gilbert avec boucle de rétroaction interne – version I.....	88
Figure 4.5-6 Amplificateur à transconductance à base de la cellule Gilbert avec boucle de rétroaction interne – version II.....	89
Figure 4.5-7 Amplificateur à transconductance à base d'inverseur avec boucle à contre réaction interne .....	90
Figure 4.6-1 Diagramme de caractérisation pour différents amplificateurs à transconductance.....	91
Figure 4.6-2 L'amplificateur à transconductance basé sur la cellule Gilbert.....	91
Figure 4.6-3 Modèle de petits signaux de la boucle de rétroaction .....	92
Figure 4.6-4 Cœur de l'amplificateur à transconductance proposé.....	93
Figure 4.6-5 Modèle de petits signaux de la structure proposée.....	93
Figure 4.6-6 L'étage de sortie de la structure proposée .....	95
Figure 4.6-7 Perte de charges pendant la phase d'échantillonnage (a) effet du diviseur de courant (b) perte cumulative de charges .....	96
Figure 4.6-8 Un simple filtre RIF.....	98
Figure 5.2-1 Diagramme de circuit single du filtre RIF complexe .....	102
Figure 5.2-2 Liaisons des horloges d'échantillonnage du bloc de génération d'horloges.....	104
Figure 5.2-3 Séquence des horloges générées avec $N=4$ .....	105
Figure 5.2-4 Réalisation du bloc de gain pondéré avec quatre ratios possibles.....	107
Figure 5.2-5 L'amplificateur à transconductance pour le bloc de gain pondéré .....	108
Figure 5.2-7 Diviseur à résistance pour le bloc de gain pondéré avec 19 coefficients.....	109
Figure 5.2-8 Réponse fréquentielle pour les différents coefficients du filtre RIF .....	110
Figure 5.2-9 S/H avec le bloc de gain pondéré.....	111
Figure 5.2-11 Commutateur « bootstrap » .....	112

Figure 5.2-12 OTA télescopique.....	114
Figure 5.2-13 Bloc de rétroaction de mode commun pour l'OTA .....	115
Figure 5.3-1 L'effet d'appariement de résistances.....	116
Figure 5.3-3 Le défaut d'appariement de résistance et des étages de sortie .....	117
Figure 5.3-4 Un exemple de déphasage des horloges .....	118
Figure 5.3-5 Non-alignement des horloges après le placement et routage .....	119
Figure 5.3-6 Effet de non-alignement des horloges avant décimation .....	120
Figure 5.4-1 Schéma du modèle comportemental en Simulink™.....	121
Figure 5.4-2 Schéma du modèle comportemental en vhdl ams.....	122
Figure 5.4-3 Réponse fréquentielle avec les commutateurs mos .....	123
Figure 5.4-4 Déphasage du signal échantillonné en quadrature.....	124
Figure 5.4-5 Effet de l'impédance de sortie.....	125
Figure 5.4-7 L'effet de résistance de sortie de l'amplificateur à transconductance sur la réponse fréquentielle .....	127
Figure 5.4-8 L'effet de la capacité parasite de l'amplificateur à transconductance sur la réponse fréquentielle .....	128
Figure 5.4-9 l'effet d'injection de charges par capacité de grille.....	129
Figure 5.4-10 Effet de résistance série de commutateur .....	130
Figure 5.4-11 Intermodulation due à la tension de seuil .....	131
Figure 5.4-13 Effet du reset en sortie de l'amplificateur à transconductance .....	132
Figure 5.4-14 L'influence de gigue sur le SNR du filtre RIF .....	133
Figure A4F-1.....	142
Figure A5D-1 Plan de câblage et l'environnement de mesure.....	147

# REMERCIEMENTS

L'auteur voudrait avant tout remercier les directeurs de cette thèse, Professeur Daniel Barbier et Maître de conférences Jacques Verdier de l'école doctorale E.E.A. à l'INSA Lyon.

Je remercie vivement Messieurs les professeurs Patrick Loumeau et Dominique Dallet pour avoir bien voulu accepter la lourde tâche de rapporteur de ce travail de thèse.

Mes remerciements vont également à Dominique Morche, mon encadrant au CEA LETI Minatec à Grenoble, et Serge Ramet, mon encadrant industriel chez STMicroelectronics, pour tous les conseils et la direction technique qu'ils m'ont accordés. Je remercie Edith Beigne et Jean Durupt, ingénieurs numérique, sans qui je n'aurais jamais terminé la synthèse et le « placement et routage » de la partie numérique ; et Matthieu Le Boulaire, mon stagiaire, de m'avoir aidé à achever la partie modélisation.

Je remercie M. Jean-René Lequepeys, le directeur du service SCME, M. Pierre Vincent, le directeur du laboratoire LCAR, et tout le personnel du service SCME pour leur soutien technique et leur accompagnement pendant ces trois années parfois difficiles.

Enfin, je remercie mes parents, de m'avoir soutenu à 100% dans cette aventure de « fou » et surtout ma bien aimée Delphine, pour toutes les relectures interminables et de m'avoir toujours remonté le moral.

# Introduction générale

Le développement actuel des systèmes de téléphonie de quatrième génération représente un défi technologique très ambitieux. En effet, ces futurs systèmes devront assurer une convergence des différentes normes pour offrir une multitude de services et d'applications de façon transparente pour l'utilisateur. Cette convergence impose des contraintes sévères sur le développement des terminaux qui devront fonctionner en multi-modes, multi-bandes et multi-standards. De nouveaux concepts ont ainsi fait leur apparition, comme la radio logicielle et la radio opportuniste qui tentent de soulager ces contraintes. La radio logicielle ou la radio opportuniste nécessitent une solution qui consiste à développer un récepteur radio dont la numérisation est réalisée le plus près possible de l'antenne. Le nombre de blocs analogiques est ainsi réduit par rapport aux récepteurs classiques. C'est une approche particulièrement intéressante pour les opérateurs de télécommunication puisqu'en passant au domaine numérique à une fréquence porteuse aussi élevée que possible, tout en minimisant les composants analogiques, le récepteur devient plus souple et plus reconfigurable. Cependant, s'il existe désormais des architectures à échantillonnage en basse fréquence intermédiaire, l'échantillonnage en radio fréquence reste difficile à envisager. Les dégradations apportées par cette étape : gigue, bande passante, non-linéarité, etc. ne permettent pas actuellement de remplir les cahiers des charges des systèmes actuels. Néanmoins, l'évolution rapide de la technologie CMOS et l'apparition de nouveaux composants tels que les filtres MEMS (*MicroElectroMechanical System*) laissent présager des innovations architecturales, notamment grâce à leur fréquence de fonctionnement de plus en plus élevée et à la possibilité d'intégration sur une même puce. A titre d'exemple, les résonateurs développés actuellement permettent d'obtenir des fréquences de résonance de l'ordre du GHz. Ces composants nouveaux qui font leur entrée dans le monde de la transmission RF devraient permettre à moyen terme d'améliorer considérablement les performances des récepteurs échantillonnés.

Dans ce contexte, le travail de thèse présenté dans ce mémoire a pour objet l'étude et l'analyse des différentes techniques d'échantillonnage des signaux radio dans un récepteur échantillonné. Le mémoire de thèse comporte cinq parties. Il s'organise comme suit.

Dans le chapitre 1, les besoins de réception pour la télécommunication 4G sont examinés, et une analyse quantitative des besoins de conversion analogique numérique des différents scénarii de la radio logicielle est effectuée. Une bibliographie est ensuite présentée sur l'adaptation des dernières avancées technologiques liées à la conception des circuits intégrés, notamment la technologie MOS et le filtre MEMS. Un aperçu est donné sur les avantages ou les contre-performances de ces avancées pour l'implémentation du récepteur face aux besoins de la radio logicielle.

Dans le chapitre 2, une comparaison est établie entre un récepteur analogique et un récepteur échantillonné. Notamment, une étude approfondie est effectuée sur le changement de fréquence avec un mélangeur et un échantillonneur bloqueur. Cela nous permet d'évaluer, en général, les apports et les inconvénients du récepteur échantillonné par rapport au récepteur traditionnel (i.e. non échantillonné) dans l'application de la radio logicielle, qui nécessite une numérisation précoce à la tête de récepteur donc à une fréquence porteuse élevée. Ensuite, une bibliographie sur l'état de l'art du récepteur échantillonné est élaborée pour comparer les différentes techniques d'échantillonnage. Afin de connaître les limitations de l'échantillonnage à haute fréquence, une analyse des effets du défaut d'échantillonnage sur les performances d'un échantillonneur bloqueur est également réalisée.

Dans le chapitre 3, trois architectures de récepteur échantillonnés jugées adaptées à l'application de la radio logicielle sont proposées. Ces architectures exploitent une combinaison de filtrage passif à MEMS et de filtrage échantillonné à réponse impulsionnelle finie (RIF) qui permet d'adapter le filtrage au standard et de transposer le signal utile directement en la bande de base pour la numérisation. Les avantages et les inconvénients des trois architectures proposées sont analysés, la plus optimale ayant été retenue pour une étude approfondie pendant le travail de thèse. Une bibliographie est présentée sur la théorie du filtre échantillonné à RIF et les différentes méthodes de conception. Pour valider un récepteur construit autour de la technique du filtre échantillonné à RIF, le cahier des charges d'un récepteur échantillonné visant la norme WCDMA est développé. La norme WCDMA a été choisie du fait de sa bande passante relativement large ainsi qu'un profil de brouilleurs particulièrement exigeant, ce qui représente un cas d'étude intéressant pour l'analyse de faisabilité.

Dans le chapitre 4, l'étape de conception du filtre échantillonné est présentée. En particulier, le filtre échantillonné est réalisé avec un échantillonneur en charges constitué de commutateurs MOS et d'un amplificateur à transconductance. Ici, l'influence des défauts de circuit liés à la technologie MOS submicronique avancée sur la performance du filtre échantillonné est examinée. Une explication est également donnée sur la façon dont le filtre échantillonné est implémenté, notamment en termes de reconfigurabilité du récepteur échantillonné.

Dans le chapitre 5, les résultats de simulation du filtre échantillonné sont résumés. A l'aide d'un modèle comportemental, les simulations évaluent les limitations de la technologie CMOS et du filtre FBAR pour les performances de l'architecture proposée. Outre les dégradations associées aux limitations technologiques, les imperfections d'horloges ajoutées par l'implémentation physique sont analysées : elles occasionnent aussi des dégradations non négligeables. Un bilan proposé en fin du chapitre résume la perte de performances de l'architecture proposée par rapport aux valeurs attendues.

Le prototype réalisé en silicium n'a finalement pas pu être validé. Les explications seront fournies en fin de mémoire. Les conclusions seront également présentées ainsi que les perspectives associées à ce travail de thèse.

**James Wei**

Thèse en télécommunication / 2008

Institut national des sciences appliquées de Lyon

4



# Chapitre 1 : Besoins de la réception de la radio logicielle

<b>1.1</b>	<b>Besoins de la réception pour la télécommunication 4G.....</b>	<b>5</b>
1.1.1	La radio logicielle	
1.1.2	Scénarii de la radio logicielle	
<b>1.2</b>	<b>Besoin au niveau de la conversion analogique numérique</b>	
<b>1.3</b>	<b>Evolution des technologies .....</b>	<b>12</b>
1.3.1	Effets de la réduction de dimensions sur le courant de fuite	
1.3.2	Progrès du transistor FET	
1.3.2.1	<i>Technologies sur silicium massif</i>	
1.3.2.2	<i>Nouveau substrat</i>	
1.3.3	Technologie CMOS 65 nm	
<b>1.4</b>	<b>L'état de l'art du filtre MEMS .....</b>	<b>15</b>
1.4.1	Filtre BAW	
1.4.2	Filtre à ondes de Lamb	
1.4.3	Filtre MEMS pour un récepteur de la radio logicielle	
<b>1.5</b>	<b>Comparaison des technologies de filtrage passif.....</b>	<b>26</b>
<b>1.6</b>	<b>Conclusion .....</b>	<b>26</b>

---

## 1.1 Besoins de la réception pour la télécommunication 4G

L'évolution actuelle des télécommunications est dictée par l'augmentation des débits, l'optimisation des ressources radio et l'interopérabilité des dispositifs mobiles. De plus en plus, un dispositif sans fil doit pouvoir passer d'une communication de type cellulaire à une communication de type WLAN en une fraction de seconde. La versatilité et la reconfigurabilité des dispositifs sont donc deux caractéristiques indispensables. Par exemple, choisir la fréquence d'une liaison afin d'optimiser la transmission nécessite aussi bien la recherche d'une zone spectrale disponible (i.e. détection ou « sensing ») que l'adaptation de la liaison à cette zone (i.e. focalisation du spectre). Les concepts de radio cognitive, logicielle ou définie par logiciel traitent en partie ces problèmes<sup>[1-1]</sup>. Dans ces chaînes de traitement majoritairement numériques, une contrainte majeure persiste : celle de la conversion analogique numérique. Une conversion « idéale », par exemple, devrait pouvoir traiter directement le signal RF reçu à l'antenne, le transposer en bande de base et surtout être adaptable par logiciel aux fréquences traitées, aux largeurs de bande et aux dynamiques exigées, etc. Afin de mieux situer le sujet de cette thèse, les besoins de la

radio logicielle sont tout d'abord exposés dans ce chapitre, puis les besoins en conversion analogique numérique sont présentés.

---

### 1.1.1 La radio logicielle

On entend par radio logicielle SDR : « *Software Defined Radio* » une radio configurée principalement par logiciel et, dans une moindre mesure, par le matériel. Dans un système radio classique, l'émission et la réception sont assurées par des composants physiques : amplificateurs, mélangeurs, oscillateurs et filtres etc. Ces composants sont spécifiques aux normes et aux systèmes auxquels ils sont destinés. Ainsi, un système radio classique manque souvent de souplesse pour pouvoir communiquer avec un autre système différent, en raison de sa spécialisation. Dans un système de radio logicielle, il est préférable que le nombre de composants analogiques et RF soit minimisé, car ils sont beaucoup moins souples qu'un composant numérique. Ceci signifie que le signal sera préférablement généré (pour un émetteur) et numérisé (pour un récepteur) tout près de l'antenne. Les modifications apportées au signal : filtrage, transposition de fréquence, modulation/démodulation et codage/décodage, peuvent être alors implémentées de façon numérique et donc personnalisées par programmation. Puisque ces traitements seront réalisés par l'intermédiaire d'un composant programmable, la radio se montrera, en principe, versatile et reconfigurable « sans la limitation » associée aux composants analogiques. Cette méthode de transmission et réception de signal a été initialement proposée par Mitola [1-1].

Dans les systèmes actuels, si une radio pouvait être reconfigurée par logiciel, le choix de la bande et du type de communication à exploiter seraient déterminés d'une manière non automatique, soit par un utilisateur, soit par une station de base à proximité. Une technique plus avancée de transmission de signal par radio logicielle consisterait à adapter automatiquement le système de radio à son environnement. Cette technique est généralement appelée radio opportuniste, aussi connue sous le nom de radio cognitive<sup>[1-2]</sup>. Le canal et le débit de communication les plus optimaux selon le milieu de fonctionnement et la disponibilité du spectre seront alors déterminés automatiquement et non plus par le biais d'une configuration manuelle effectuée à un moment donné. Cette exploitation optimale devra se faire de façon opportuniste sans gêner les autres utilisateurs et en mettant en place des protocoles de gestion de priorité directement au niveau du terminal. En effet, la radio cognitive devrait être capable d'apprendre et d'observer son environnement, de planifier les tâches futures, et de prendre une décision pour établir un lien de communication en tant qu'intelligence artificielle. Dans le cadre de la radio opportuniste, deux fonctionnalités sont importantes :

- une fonction du « sensing » pour la détection des opportunités,

- une fonction de contrôle qui décide de l'établissement d'un lien et exécute la reconfiguration, par exemple, un changement de modulation, de la bande de fréquence, etc.

Du point de vue de la réception, le « sensing » consiste d'abord à capter le spectre radio afin de déterminer son utilisation. Cela pourrait nécessiter une numérisation d'un large spectre balayé. Une fois qu'un créneau libre du spectre sera localisé, l'utilisateur émettra un message au réseau de communication pour réserver ce créneau, ce qui permettra d'établir un canal fixe de communication. À titre d'exemple, un état actuel de l'utilisation du spectre jusqu'à 6 GHz est donné sur la Figure 1.1-1. Le spectre est attribué en tranches de bandes selon les différentes utilisations : l'application militaire, la diffusion audiovisuelle, la communication cellulaire, la communication de longue portée et la communication de proximité, entre autres. Aujourd'hui, il reste peu de tranches de spectre non attribuées. Pourtant, il s'avère qu'il y a toujours des bandes libres dans ce spectre en fonction du nombre d'utilisateurs des différents réseaux de communication. C'est-à-dire que le « sensing » doit pouvoir constamment balayer cette plage de fréquences pour localiser des bandes libres. Pour cela, une technique de détection doit être employée, qui pose de nombreuses difficultés du point de vue de l'implémentation de récepteur. Afin de réduire les différentes contraintes d'implémentation, il existe différentes méthodes de « sensing » pour balayer une très large bande du spectre radio. Trois des scénarii envisagés seront exposés dans les sections suivantes.

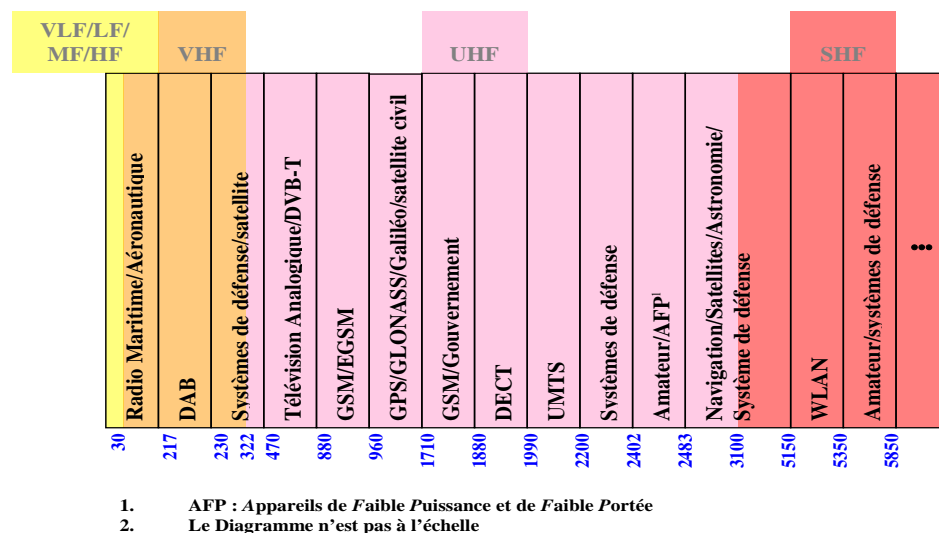


Figure 1.1-1 Utilisation actuelle du spectre jusqu'à 6GHz en France [1-3]

### 1.1.2 Scénarii de la radio logicielle

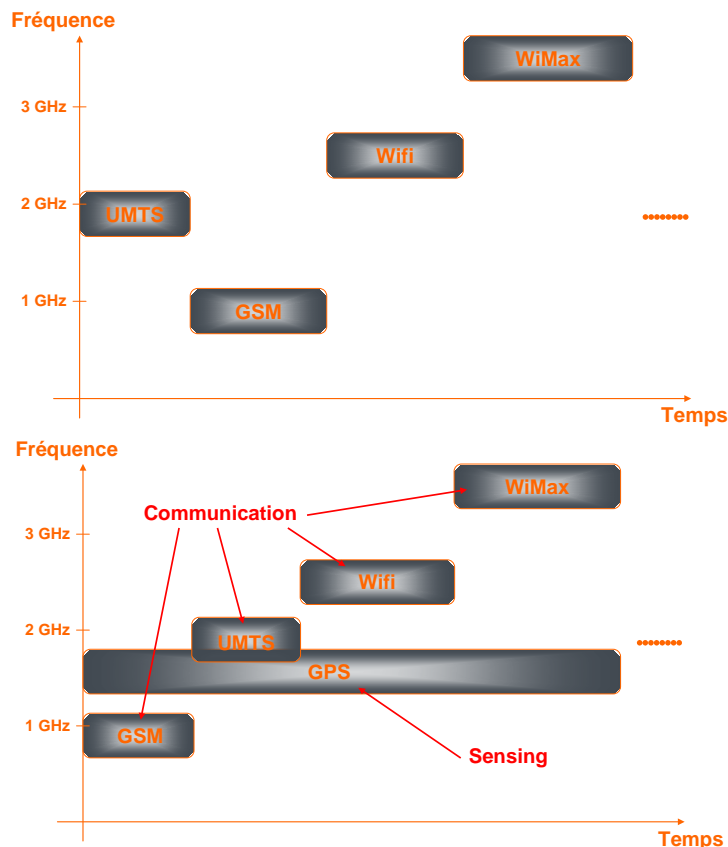
Selon les études effectuées par France Télécom™ en 2007, trois cas d'application de la radio logicielle: (scénarii de base, scénarii intermédiaires et scénario avancé) sont prévus dans le contexte de la télécommunication de quatrième génération<sup>[1-4]</sup>. Ces trois scénarii sont résumés dans le Tableau 1.1-1.

**Tableau 1.1-1 Scénarii de la radio logicielle**

Scénario	Cas 1 : scénarii de base		Cas 2 : scénarii intermédiaires		Cas 3 : scénario avancé
Application	Récepteur multistandard	GPS+multistandard	« Sensing » dans la bande télévision	Modulation multi-porteuses	Radio logicielle idéale
Bande		880 MHz - 2,5 GHz	470 MHz – 960 MHz	2,5 GHz - 3,5 GHz	470 MHz - 3,5 GHz
Standards	Wifi, UMTS, Wimax, GSM, DVB . . .	GSM, UMTS, WiFi, et GPS	GSM et la bande télévision	OFDM large bande (1GHz) ou Wifi et Wimax	De la bande télévision jusqu'à la bande WiMax
Radio opportuniste	Non	Oui	Oui	Oui	Oui

Dans les scénarii de base, la radio logicielle détermine le mode de communication à exploiter en sondant les différents types de réseau aux alentours pour connaître la disponibilité de bande requise. Ce type de radio existe aujourd'hui avec un nombre limité de normes soutenues mais sans réellement posséder la capacité de sélection automatique du « sensing » Un tel exemple est illustré en haut sur la Figure 1.1-2 où un récepteur multistandards est capable de communiquer aux différentes normes cellulaires par commutation dans le temps. Plus précisément, l'utilisateur sélectionnera une norme de communication, soit UMTS, soit GSM, soit WiFi, ou d'autres types de réseaux qui sont disponibles à proximité. La sélection se fera temporellement dans le but de garder toujours la meilleure qualité de service.

Afin d'améliorer « l'intelligence » du récepteur multistandard, on peut envisager également un autre scénario de base dans lequel l'intégration d'un module GPS dans un terminal mobile est privilégié, comme illustré en bas sur la Figure 1.1-2. Ce module GPS supplémentaire permet de déterminer rapidement la situation géographique du terminal mobile et donc d'aider la sélection du mode de communication correspondant au type de réseau le plus près de l'utilisateur. (Évidemment, une carte de réseau doit être déjà stockée sur le terminal mobile.) Cela devrait logiquement augmenter la probabilité d'accéder plus rapidement au meilleur mode de communication. Néanmoins, le récepteur devra communiquer simultanément deux standards à tout moment : le GPS en permanence et un autre standard de communication dans la bande du GSM (900 MHz) au 802.11g (2,5 GHz), ce qui représente une très large bande à traiter et exige certainement une chaîne de récepteur avec plusieurs voies de réception en parallèle.

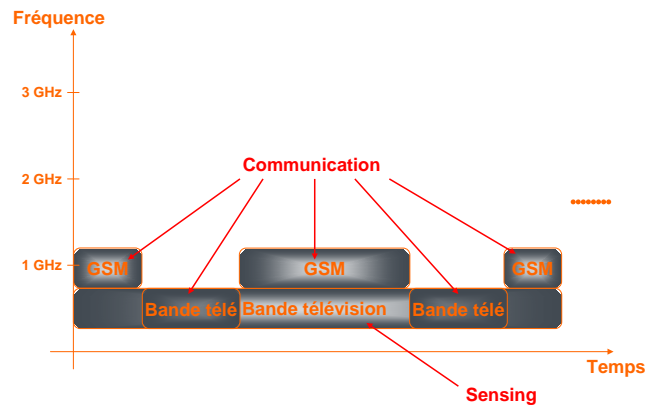


**Figure 1.1-2 Scénario de base de la radio logicielle**

Dans le scénario intermédiaire, le « sensing » est plutôt limité soit à la bande de télévision de façon cognitive, soit à la bande de 2,5 GHz à 3,5 GHz avec un système agile basé sur la modulation OFDM (*Orthogonal Frequency Division Multiple Acces*). Ces deux bandes, souvent sous-utilisées, sont donc des candidats idéaux pour l'application de la radio opportuniste. À titre d'exemple, un scénario plus réaliste de radio opportuniste consisterait à limiter la plage de fréquence à balayer en prenant uniquement en considération la bande de télévision entre 470 MHz et 880 MHz dans la région UHF. Autrement dit, il n'est plus nécessaire que le récepteur balaye toutes les normes cellulaires. La bande de télévision empruntée pour la communication en GSM est illustrée sur la Figure 1.1-3. Dans la mesure où le réseau GSM à 900 MHz est saturé et le spectre autour de 400 MHz de la bande de télévision est libre, la communication GSM est basculée vers la bande de télévision pour désengorger le réseau. Evidemment, ce choix se fera en fonction du SINR<sup>1</sup> dans chaque sous-bande de la bande de télévision et également en fonction du nombre d'utilisateurs souhaitant

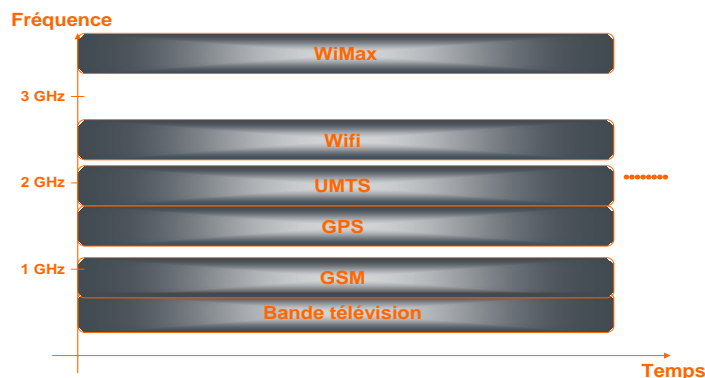
<sup>1</sup> Signal to Interference-plus-Noise Ratio

utiliser la bande. Pour cela, il faudra un moyen de faire d'abord du « sensing » où le SINR est estimé approximativement (i.e. plutôt une conversion analogique numérique à faible résolution) pour explorer la disponibilité avant de transférer la bande de communication.



**Figure 1.1-3 Détection du spectre disponible à la bande de télévision**

Enfin, un scénario plutôt avancé, voire irréalisable pour l'instant, serait de pouvoir choisir à volonté n'importe quel mode de communication sur une largeur de bande d'environ 5 ou 6 GHz (Figure 1.1-4). Non seulement le système doit être assez intelligent pour prendre une décision indépendante à tout moment, mais les matériels doivent être aussi capables d'assurer la transmission et la réception du signal sur une plage de fréquence extrêmement étendue. Dans l'exemple de la figure 1.1-4, tous les standards entre 900 MHz jusqu'à 5 GHz sont traités simultanément, tout le temps. Par conséquent, dès qu'il y a une interruption dans un réseau, un autre peut prendre le relais immédiatement. Mais aujourd'hui, les obstacles sont énormes du point de vue de la technologie et de la consommation pour implémenter en particulier les composants RF et le convertisseur analogique numérique (CAN). La réalisation de ce type de récepteur semble pour l'instant inaccessible.



**Figure 1.1-4 Scénario avancé de la radio logicielle idéale**

Quel que soit le scénario choisi, la numérisation directe du signal au niveau de l'antenne est une tâche irréaliste. La section suivante, consacrée à la discussion sur les besoins au niveau du convertisseur pour la télécommunication de quatrième génération permettra de justifier cette affirmation.

## 1.2 Besoin au niveau de la conversion analogique numérique

Le Tableau 1.2-1 donne une estimation de la dynamique exigée pour la démodulation d'un seul canal des normes situées entre 900 MHz et 3,5 GHz. Ici, on suppose que la conversion analogique numérique est réalisée à la fréquence porteuse du signal au niveau de l'antenne. D'autres hypothèses émises pour estimer le besoin de dynamique sont détaillées dans l'ANNEXE 1A. Aujourd'hui, il est quasiment impossible d'implémenter un convertisseur qui couvre la bande de 900 MHz à 3,5 GHz et, en même temps, satisfasse la dynamique qui peut atteindre jusqu'à 90 dB pour certaines normes. Afin de faciliter la numérisation à une fréquence de quelques giga hertz, une solution brutale serait de réduire au mieux la contrainte de dynamique du convertisseur à la tête de réception en personnalisant le filtrage canal pour chaque norme. Malheureusement, cela nécessitera soit un filtre variable à très large bande soit un banc de filtre commutable qui pourrait être gourmand en surface et très coûteux pour un terminal mobile.

**Tableau 1.2-1 Dynamique du CAN des normes de communication entre 900 MHz et 3,5 GHz avec filtrage de canal**

Fréquence porteuse (GHz)	Norme	Largeur de bandes (MHz)	Largeur de canal (MHz)	Taux symbole (Mcps)	dynamique CAN (dB)
0,90	GSM	25,00	0,20	0,2708	86
1,50	DVB-H (2/3 16-QAM)	400,00	8,00	14,9300	71
1,80	DCS	75,00	0,20	0,2708	81
1,90	CDMA	25,00	1,25	1,2288	90
1,90	DECT	60,00	1,70	1,1520	57
2,00	UMTS W-CDMA	60,00	5,00	3,8400	85
2,00	UMTS TDD	60,00	5,00	3,8400	77
2,40	Wi-Fi 802.11b	60,00	22,00	11,0000	56
2,40	Bluetooth	80,00	1,00	1,0000	50
3,50	Wi-Max 802.16a (3/4 16-QAM)	20,00	20,00	15,9296	49

De plus, pour les scénarii plus avancés de radio logicielle tels que ceux présentés, la bande à traiter par un convertisseur pourrait atteindre une largeur démesurée, surtout si cette bande n'est pas un seul canal mais une bande entière d'une norme de communication. Cela entraîne une augmentation de manière excessive du rapport de sur-échantillonnage pour une dynamique déjà exigeante. A titre d'exemple, le Tableau 1.2-2 donne un aperçu de la dynamique nécessaire pour démoduler la bande totale de réception pour les différentes normes. Dans ce cas précis, le convertisseur

idéal devra pouvoir à la fois échantillonner les signaux radio fréquence sur une plage de plusieurs GHz, convertir une largeur de bande à des dizaines voire des centaines de MHz et réaliser une dynamique de plus de 100 dB.

**Tableau 1.2-2 Estimation de dynamique du CAN basée sur la largeur de bande des normes**

Fréquence porteuse (GHz)	Norme	largeur de bandes (MHz)	dynamique CAN (dB)
0,90	GSM	25,00	106
1,50	DVB-H (2/3 16-QAM)	400,00	91
1,80	DCS	75,00	101
1,90	CDMA	25,00	110
1,90	DECT	60,00	77
2,00	UMTS W-CDMA	60,00	105
2,00	UMTS TDD	60,00	97
2,40	Wi-Fi 802.11b	60,00	76
2,40	Bluetooth	80,00	70
3,50	Wi-Max 802.16a (3/4 16-QAM)	20,00	69

Même avec la technologie actuelle, il n'est pas évident d'implémenter les scénarii de base présentés, et encore moins les scénarii encore plus avancés. Faute de progrès technologique très important, il faut en attendant penser une nouvelle architecture pour numériser le signal, compensant l'insuffisance du CAN. En même temps, cette architecture devra afficher un certain niveau de souplesse et de versatilité pour un récepteur de la radio logicielle. Une des solutions est d'intégrer un filtre échantillonné précédant le CAN qui se comporte comme une interface du signal entre les domaines analogique et numérique. Un filtre échantillonné permet à la fois de transposer, amplifier et mieux filtrer le signal avant le CAN. Cette technique du filtre échantillonné représente l'aspect fondamental de cette thèse et sera approfondie à partir du chapitre 2. Les sections suivantes exposent les apports technologiques potentiels vis-à-vis de la réalisation du récepteur pour la radio logicielle.

### 1.3 Evolution des technologies

La numérisation du signal à très haute fréquence exige un circuit échantillonneur bloqueur avec peu de défauts. Aujourd'hui, cet échantillonneur bloqueur, souvent l'élément le plus exigeant dans la conception du CAN, est composé de commutateurs réalisés en transistors MOS. Ce bloc a en plus un impact majeur sur la consommation de la conversion analogique numérique.

Afin de réaliser un récepteur numérisé reconfigurable, la technologie CMOS doit être exploitée à la limite de ses capacités en termes de fréquence d'échantillonnage, ainsi que de consommation. Du côté composant, avec la poursuite de la loi de Moore, des effets secondaires de la technologie nanométrique (par



exemple, l'effet du canal court) s'aggravent et s'avèrent néfastes pour le fonctionnement du circuit échantillonneur. Des recherches sont actuellement menées sur des technologies pseudo-MOS qui tentent de diminuer certains effets indésirables introduits par la miniaturisation du MOS. Ces nouvelles technologies seront brièvement exposées dans cette section. Par ailleurs, à l'aide du développement de composants passifs intégrés, notamment le résonateur MEMS, la qualité du signal avant la numérisation pourrait être améliorée considérablement, ce qui réduira les contraintes sur le CAN. En particulier, un filtre passif à résonateur MEMS dispose d'un très bon facteur de qualité, ce qui donne une excellente sélectivité. Un autre avantage non négligeable de l'intégration d'un filtre de type MEMS passif sera la diminution de la consommation et du coût. Une discussion de l'état de l'art actuel des filtres MEMS sera également donnée.

---

### 1.3.1 Effets de la réduction de dimensions sur le courant de fuite

Pour un échantillonneur bloqueur, autrement dit S/H : « *Sample and Hold* », le courant de fuite est un problème bien connu qui dégrade la linéarité du processus d'échantillonnage. En général, il y a trois types de courant de fuite dans l'état « éteint » d'un commutateur MOS : le courant sous-seuil, le courant de diffusion à la jonction drain-substrat en polarisation inverse et de plus en plus, le courant grille lié à l'effet tunnel dans l'oxyde de grille. Le courant sous-seuil est fortement dépendant des paramètres de la technologie et des dimensions du transistor<sup>[1-11][1-12]</sup>.

Dans un circuit échantillonneur bloqueur, un commutateur MOS est dans le régime sous-seuil en état « éteint » avec  $(V_{GS}-V_{TH})<0$ . En fonction de la polarisation, la barrière DIBL peut diminuer, ce qui entraîne l'apparition du courant sous-seuil dans le canal et altère la quantité de charges du condensateur d'échantillonnage. Puisque l'ordre de grandeur de ce courant est lié au facteur de pente de sous-seuil qui, à son tour, limite la réduction de la tension de seuil, le courant sous-seuil tolérable représente un obstacle majeur à la réduction des dimensions.

Le courant de diffusion à la jonction drain-substrat en polarisation inverse pour un MOSFET à canal long est un facteur secondaire déterminant la durée maximum permise pour la phase de blocage d'un échantillonneur bloqueur (i.e. la perte de charges par diffusion entraîne une dégradation de linéarité).

Une troisième source de courant de fuite dans un circuit échantillonneur bloqueur est le courant tunnel de la grille. Ce type de courant était généralement négligeable par rapport à d'autres types de courant de fuite. Cependant, le courant tunnel ne peut plus être ignoré car la couche d'oxyde de grille devient de plus en plus mince. Selon ITRS 2005<sup>[1-12][1-13]</sup>, pour une longueur de canal inférieure à 100 nm, l'épaisseur d'oxyde de grille se rapprochera de 1,3 nm. En général, deux mécanismes de courant tunnel existent : par effet Fowler-Nordheim et par effet tunnel direct<sup>[1-7][1-</sup>

<sup>15][1-16]</sup>, qui sont fonction de la polarisation de grille ainsi que de l'épaisseur d'oxyde. Ce courant pourrait être surtout néfaste au niveau du courant de fuite pour un circuit échantillonneur bloqueur à l'état bloqué.

En conclusion, le courant de fuite est l'un des obstacles majeurs pour la continuation de la réduction d'échelle de la technologie MOS. En baissant la tension d'alimentation, il est désormais impératif de faire descendre la tension de seuil par la réduction de l'épaisseur de l'oxyde de grille, ce qui aggrave le courant de grille par effet tunnel. D'ailleurs, l'ordre de grandeur de ce courant à l'effet tunnel s'approche rapidement de celui du courant sous-seuil. La section suivante expose les dernières innovations de la technologie FET pour contourner le problème du courant de fuite.

---

### 1.3.2 Progrès du transistor FET

#### 1.3.2.1 Technologies sur silicium massif

L'un des principaux obstacles à l'utilisation du transistor MOS de petites dimensions en tant que commutateur d'échantillonneur bloqueur est le courant de fuite. Le courant de fuite du commutateur à transistor MOSFET pourrait être réduit, de manière assez limitée, soit avec une implémentation en technologie à multiples tensions de seuil  $V_{TH}$ , soit en utilisant des astuces de conception. Un exemple de technique de conception est le circuit SCCMOS : « Super Cut-off CMOS »<sup>[1-18][1-19]</sup> qui joue sur l'empilement de transistors et sur la polarisation pour diminuer le courant de fuite. Pourtant, ce genre d'optimisation par conception est peu mis en œuvre, surtout parce que plusieurs transistors sont nécessaires pour réaliser la même fonction alors qu'un simple transistor peut suffire.

#### 1.3.2.2 Nouveau substrat

Hormis le substrat traditionnel à silicium massif, le substrat CMOS le plus exploité est le SOI : Silicium-Sur-Isolant<sup>[1-20][1-21]</sup>. Des circuits intégrés fabriqués sur ce type du substrat sont déjà commercialisés aujourd'hui. L'avantage prépondérant du SOI est la réduction des capacités parasites liées au substrat. Cette réduction des capacités parasites pourrait en théorie offrir une fréquence de coupure deux fois meilleure. Pourtant, le substrat apporte aussi un inconvénient. Chaque transistor possède un substrat flottant qui crée une dépendance entre la tension de seuil et la tension de drain-source. Ce phénomène, présent dans les technologies SOI partiellement désertées, disparaît lorsque l'on diminue fortement l'épaisseur du film de silicium pour réaliser des transistors totalement désertés. Ceux-ci ont un excellent contrôle électrostatique du canal qui leur permet d'approcher la pente sous le seuil idéal. Une extension de ces structures est le MOSFET à double grille, planaire ou vertical (FinFet)<sup>[1-5][1-20]</sup>, pas encore utilisé industriellement.

---

### 1.3.3 Technologie CMOS 65 nm

Au cours de cette thèse, la technologie CMOS 65 nm de STMicroelectronics™ a été choisie pour valider nos développements. Le procédé CMOS 65 nm est une technologie à multiples tensions de seuil avec au maximum 9 couches de métaux d'interconnexions. Pour une alimentation drain-source inférieure à 1,2 V, quatre types de MOS sont disponibles : SVTGP, SVTLP, LVTLP, HPA<sup>[1-33]</sup>. Les transistors sont caractérisés à 25 °C avec  $V_{GS}=V_{DS}=1,2$  V et  $V_{BS}=0,0$  V pour le régime de saturation ; et  $V_{GS}=V_{BS}=0,0$  V et  $V_{DS}=1,2$  V pour le régime linéaire.

Pour un commutateur du circuit échantillonneur bloqueur, il est préférable d'avoir une tension de seuil faible non seulement pour une meilleure linéarité d'échantillonnage, mais aussi pour maximiser l'amplitude de signal pouvant traverser le commutateur. Le transistor HPA a été considéré pendant l'évaluation de cette technologie comme le meilleur choix sur ce critère, surtout avec une alimentation relativement faible. Pourtant, en utilisant un transistor à  $V_{TH}$  faible, le courant de fuite  $I_{FUITE}$  sera naturellement plus élevé. Malgré cela, le courant de fuite est normalement bien inférieur aux valeurs citées puisqu'il est rare que la tension  $V_{DS}$  d'un circuit échantillonneur bloqueur soit polarisée à 1,2 V. En ce qui concerne le courant de grille, il est en général bien inférieur au courant de fuite dans cette technologie. Cet aspect de conception de l'échantillonneur bloqueur sera abordé plus en détail dans le chapitre 2.

Une autre caractéristique de ce procédé, que l'on retrouve généralement dans toutes les technologies MOS submicroniques profondes, est le faible ratio entre la transconductance et l'impédance source-drain. Un ratio faible empêche de réaliser un circuit analogique à haut gain. Le transistor HPA est donc une nouvelle fois privilégié grâce à son ratio  $gm/gds$  le plus élevé. En revanche, le transistor HPA a une fréquence de coupure plus faible puisque la longueur minimum de canal est fixée à 140 nm, ce qui entraîne une plus grande capacité parasite. Enfin, il sera démontré dans les chapitres suivants qu'une impédance source-drain faible donne lieu à une perte significative pour l'échantillonnage, ce qui justifiera notre choix de transistor.

---

## 1.4 L'état de l'art du filtre MEMS

Dans une radio logicielle idéale, il est souhaitable de pouvoir changer de bande de communication, rapidement et de manière fiable, selon l'allocation du spectre. La recherche dans le domaine des MEMS radio fréquence ouvre la perspective de réaliser des commutateurs à faible consommation statique et à haute isolation, des éléments passifs de très haut facteur de qualité et de linéarité (i.e. varacteur, bobine, condensateur), des oscillateurs, et de filtres de très bonne qualité<sup>[1-34][1-35][1-36][1-37][1-38][1-39][1-40]</sup>. A titre d'exemple, un banc de filtre MEMS peut être commuté par des commutateurs MEMS en parallèle dans un récepteur de radio logicielle (Figure 1.4-1) qui sélectionne la bande de réception et limite, le cas échéant, la largeur de bande de

démodulation (en fonction du besoin de filtrage de brouilleurs hors bande). Les commutateurs MEMS peuvent être également exploités pour reconfigurer une antenne selon la bande sélectionnée. Tout cela facilite l'implémentation d'un système à basse consommation. En revanche, aujourd'hui le procédé de fabrication des MEMS est, le plus souvent, incompatible avec le procédé CMOS.

### Récepteur de Radio Logicielle

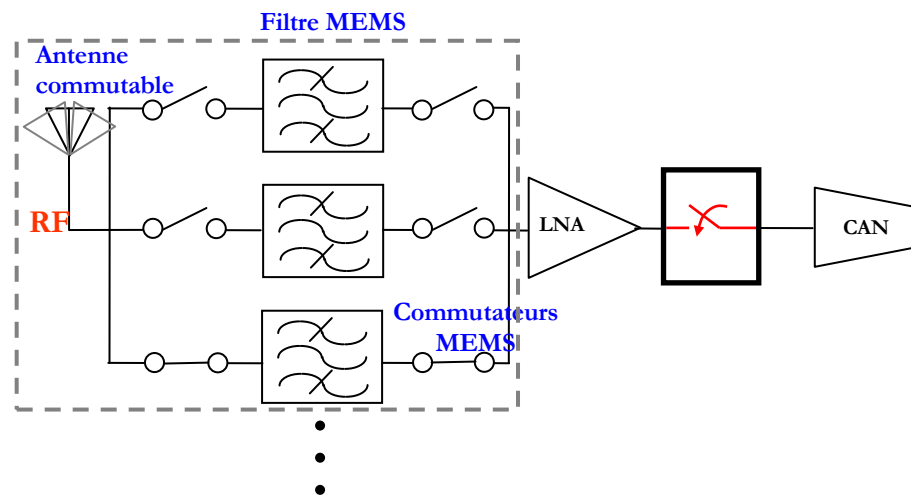


Figure 1.4-1 Récepteur avec MEMS intégré à la tête de réception

Néanmoins, avec la mise au point de la technologie, les composants MEMS pourraient jouer à l'avenir un rôle indispensable dans la conception d'un système radio complet. Dans le cadre de cette thèse, l'intérêt de l'intégration du filtre MEMS dans un récepteur reconfigurable est exploré, notamment les filtre à ondes acoustiques comme les BAWs (résonateur à onde de volume) et les filtres à ondes de Lamb (résonateur à onde latérale). Ces deux types de filtre sont exposés dans la suite.

#### 1.4.1 Filtre BAW

Sur la Figure 1.4-2, il est démontré qu'un filtre de type FBAR, qui utilise des résonateurs BAW<sup>2</sup>, peut atteindre une meilleure sélectivité à une fréquence centrale de 5 GHz qu'un filtre de type SAW<sup>3</sup> ou un filtre céramique<sup>4</sup>. Une comparaison qualitative entre ces trois types de filtre est présentée dans le Tableau 1.4-1. En général, le filtre de type BAW regroupe à la fois l'excellente sélectivité du filtre de type SAW et la faible perte d'insertion du filtre céramique<sup>[1-42][1-43]</sup>.

<sup>2</sup> « Bulk Acoustic Wave » ou Onde Acoustique de Volume

<sup>3</sup> « Surface Acoustic Wave » ou Onde Acoustique de Surface

<sup>4</sup> Egalement appelé « filtre diélectrique »

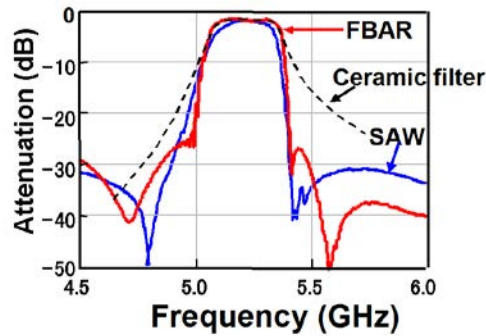


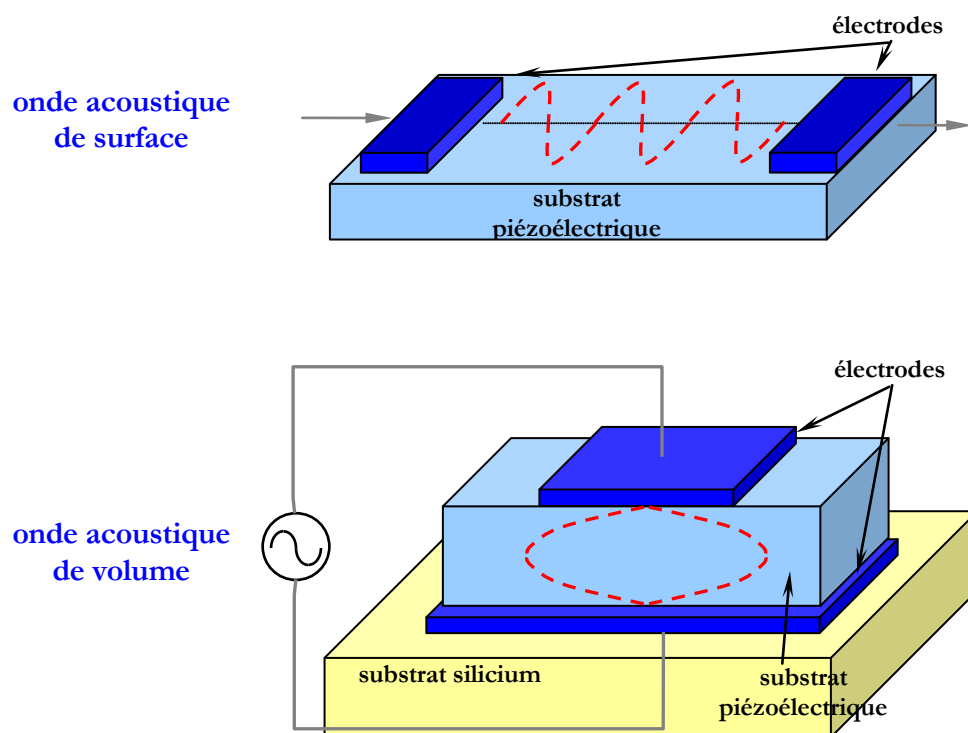
Figure 1.4-2 Comparaison de la sélectivité des 3 types de filtre passif <sup>[1-41]</sup>

Tableau 1.4-1 Comparaison qualitative des trois types de filtre passif

	taille	perte d'insertion	sélectivité	capacité de puissance	coefficient température	intégration sur substrat silicium
Filtre céramique	-	++	-	+++	++	-
Filtre SAW	+	-	++	+	-	-
Filtre BAW	++	+	++	++	+	éventuellement à l'avenir

A la différence du filtre céramique, où le signal se propage en ondes électromagnétiques, dans un filtre de type BAW et SAW, le signal électrique est transformé en ondes acoustiques par les propriétés du matériau piézoélectrique. Les filtres à base de matériaux piézoélectriques sont constitués des résonateurs piézoélectriques couplés. Quand un champ électrique  $E$  est appliqué à un résonateur piézoélectrique, une contrainte physique  $T$  se produit en interne du matériau piézoélectrique qui génère une oscillation mécanique (acoustique). Grâce à la réversibilité de la piézoélectricité, cette oscillation interne engendre un déplacement électrique  $D$  du signal d'entrée donc un signal électrique à la sortie<sup>[1-44]</sup>. Pour un résonateur de type SAW, les ondes acoustiques sont guidées à la surface du matériau piézoélectrique alors que pour un résonateur de type BAW, l'oscillation est confinée dans le matériau (voir Figure 1.4-3). La fréquence de résonance dépend de la dimension (i.e. longueur, épaisseur, forme) de la couche piézoélectrique, de la piézoélectricité du matériau et de la configuration des électrodes. Il s'avère que le mode d'oscillation par surface impose plus de contraintes sur la miniaturisation<sup>5</sup>, sur la puissance possible et sur les pertes de propagation.

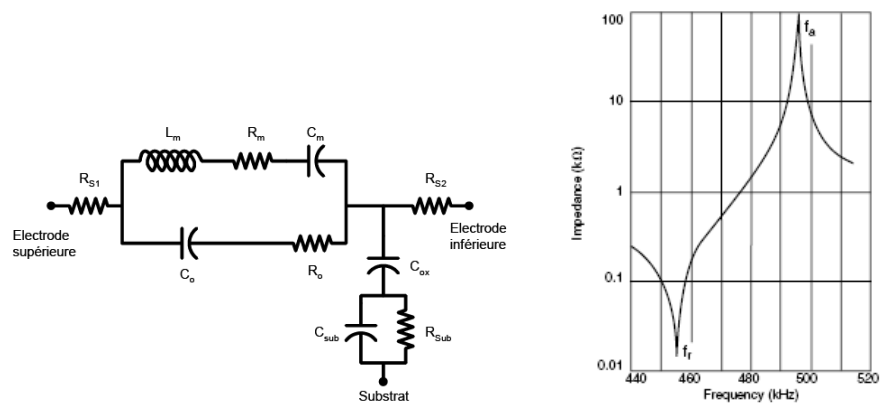
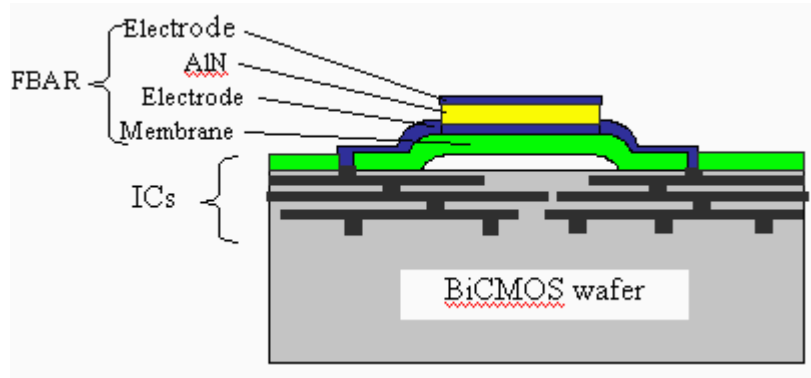
<sup>5</sup> A une fréquence d'application élevée, la distance entre les électrodes qui dépend de la lithographie doit être réduite



**Figure 1.4-3 Mode de propagation des résonateurs SAW et BAW**

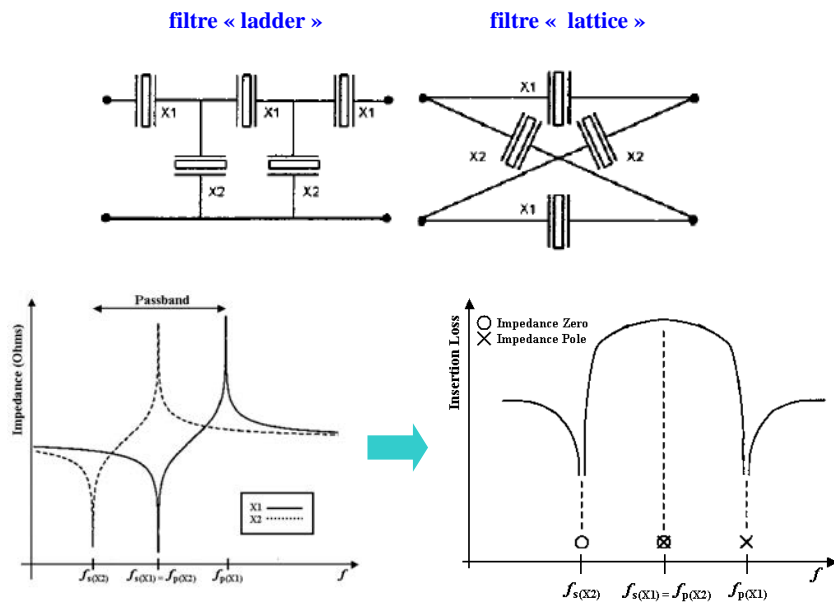
Un avantage majeur des filtres BAW est leur potentiel d'intégration sur un substrat silicium. Trois structures principales de résonateur sont exploitées dans la réalisation des filtres BAW : les structures FBAR (*Film Bulk Acoustic Wave*), SMR (*Solid Mounted Resonator*) et SCF/CRF (*Stacked Crystal Filter/Coupled Resonator Filter*). Les résonateurs FBAR sont fabriqués par l'empilement des couches électrode-piézoélectrique-électrode sur une membrane séparée du substrat par de l'air. La membrane est réalisée par micro usinage, soit de volume, soit de surface, et sert à isoler acoustiquement l'énergie dans la couche piézoélectrique du substrat. Cela sert à minimiser la perte de la transduction électromécanique et donc à offrir un meilleur facteur de couplage électromécanique (i.e. moins de perte de conversion d'énergie). En outre, la membrane influence directement la fréquence de résonance du résonateur. Les fréquences de résonance série et parallèle diminuent à mesure que l'épaisseur de la membrane augmente. Le coefficient de couplage et le facteur de qualité sont aussi une fonction de l'épaisseur de la membrane. Une vue de coupe d'un résonateur FBAR et son modèle équivalent BVD<sup>6</sup> sont donnés sur la Figure 1.4-4<sup>[1-40][1-45]</sup>. Le circuit équivalent modélise la fréquence résonance  $f_r$  et anti-résonance  $f_a$  que présentent habituellement les résonateurs BAW.

<sup>6</sup> Butterworth-Van Dyke



**Figure 1.4-4 Résonateur FBAR**

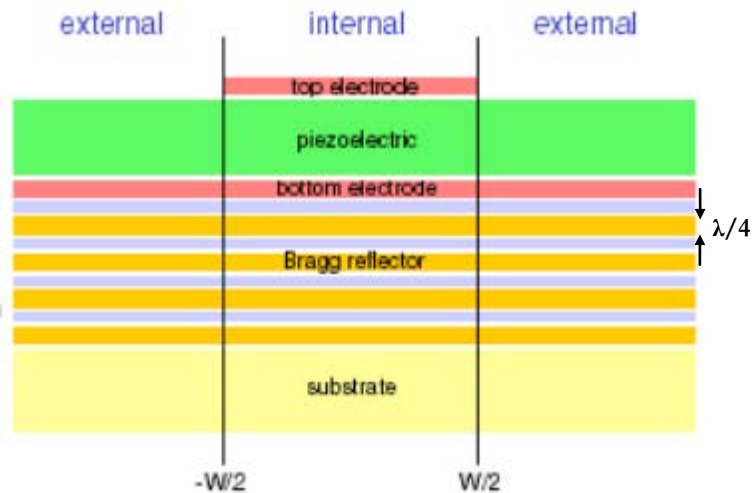
A partir des résonateurs FBAR reliés en configuration « ladder » ou « lattice », il est possible de construire un filtre BAW passe bande (Figure 1.4-5). Une étape d'ajustement des fréquences de résonance/anti-résonance est normalement nécessaire, par exemple en amincissant la couche de dioxyde de silicium sur l'électrode du haut pour baisser la fréquence de résonance.



**Figure 1.4-5 Réalisation d'un filtre à passe bande avec des résonateurs FBAR**

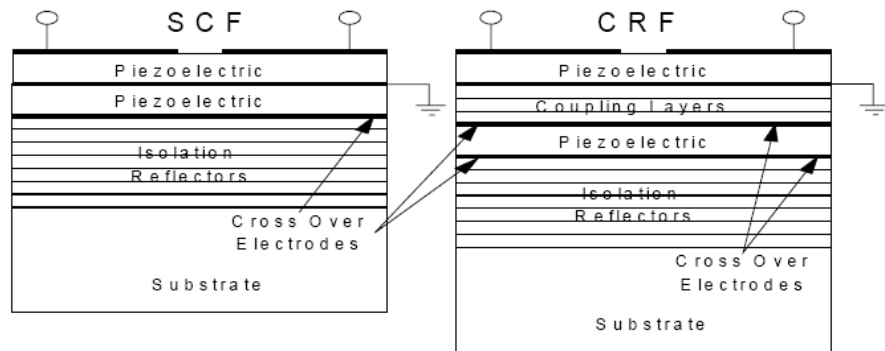
Pour réaliser un résonateur SMR, un réflecteur acoustique est positionné sous l'empilement électrode-piézoélectrique-électrode, comme illustré sur la Figure 1.4-6. Le réflecteur sert à confiner les ondes acoustiques dans la couche piézoélectrique. Le réflecteur consiste en une alternance de couches de faible et haute impédance, chaque couche ayant une épaisseur de  $\lambda/4$ . Un rapport d'impédance élevé nécessite moins de couches dans le réflecteur pour le confinement des ondes acoustiques. Dans ce cas, moins d'énergie sera emmagasinée dans le réflecteur, ce qui se traduira par un meilleur facteur de couplage. L'épaisseur des couches du réflecteur détermine aussi la fréquence de résonance, qui diminue lorsque l'épaisseur augmente. Toutefois, le coefficient de couplage se trouve inférieur à celui d'un résonateur FBAR parce qu'une fraction de l'énergie est saisie par les couches du réflecteur proches de la couche piézoélectrique. Néanmoins, le résonateur SMR est en général plus robuste et plus facile à manier lors de l'assemblage. En outre, le résonateur SMR tolère une puissance de signal plus élevée que le résonateur FBAR grâce à une bonne dissipation thermique du réflecteur. Enfin, le filtre passe bande à base de résonateurs SMR peut également être réalisé en configuration « ladder » ou « lattice »<sup>[1-46]</sup>.





**Figure 1.4-6 Réalisation d'un résonateur SMR**

Si des filtres à base de résonateurs FBAR et SMR sont réalisés par couplage électrique (i.e. liés électriquement en structure « ladder » ou « lattice »), des filtres à base de résonateurs CRF et SCF sont construits par couplage acoustique. Ce type de filtre BAW offre en général une plus grande bande passante et moins de perte d'insertion, mais une moins bonne sélectivité<sup>[1-47]</sup>. Autre avantage : il est possible d'avoir des impédances d'entrée et de sortie différentes, ce qui permet une conversion d'impédance. Une vue en coupe du résonateur SCF<sup>7</sup> et CRF<sup>8</sup> est présentée sur la Figure 1.4-7.



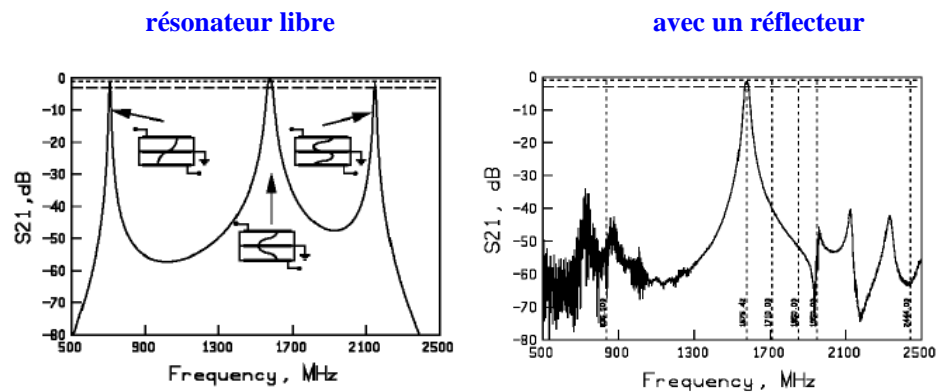
**Figure 1.4-7 Résonateurs CRF et SCF**

Le résonateur SCF consiste en deux couches piézoélectriques séparées par une électrode commune, qui est normalement liée à la masse. Cette électrode est assez fine

<sup>7</sup> « Stacked Crystal Filter » ou Filtre à Cristaux Empilés

<sup>8</sup> « Coupled Resonator Filter » ou Filtre à Résonateur Couplé

pour que le couplage acoustique soit possible entre les deux films piézoélectriques. En mode de résonance dominant, la demi-longueur d'onde correspond à l'épaisseur de chaque couche piézoélectrique. Il s'avère également que dans un résonateur SCF libre, il existe deux autres fréquences de résonance parasites qui correspondent à une demie et trois demie longueur d'onde de la fréquence fondamentale à travers les deux couches piézoélectriques. En jouant sur le réflecteur similaire à celui du résonateur SMR, l'effet des résonances parasites peut être considérablement minimisé.

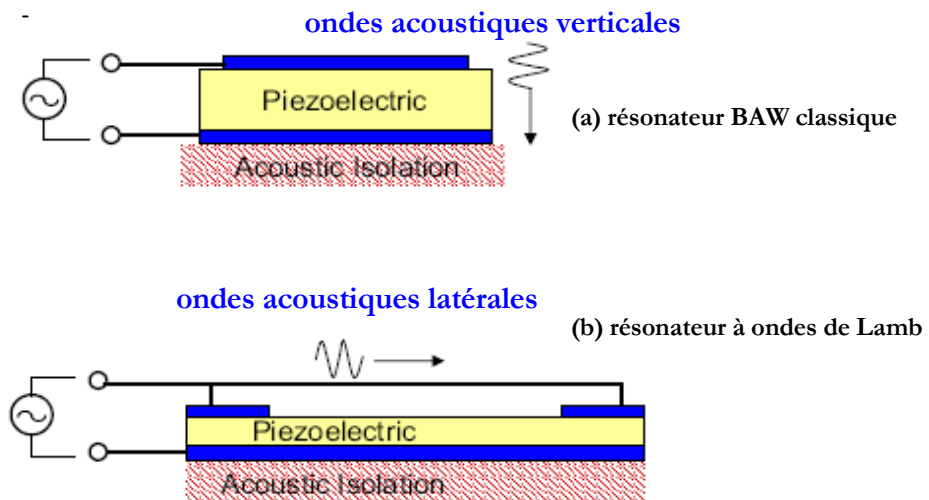


**Figure 1.4-8 Résonance d'un résonateur SCF sans et avec un réflecteur**

Le filtre SCF souffre souvent d'un faible coefficient de couplage à cause du couplage parasite entre les deux résonateurs empilés. Ceci entraîne une réduction de la largeur de bande réalisable. Une solution consiste à insérer un empilement de couches diélectriques entre les deux films piézoélectriques afin de limiter le couplage mutuel et donc de maintenir le coefficient de couplage de chaque résonateur. Cette structure modifiée est appelé filtre CRF. Bien que les filtres SCF et CRF présentent des avantages par rapport aux filtres BAW couplés électriquement, ils connaissent souvent des difficultés de fabrication dues au grand nombre de couches empilées, et ont donc un rendement moins important.

#### 1.4.2 Filtre à ondes de Lamb

Comme le résonateur BAW, le résonateur à ondes de Lamb fonctionne par oscillation acoustique de volume à partir d'une excitation électrique. Contrairement aux résonateurs BAW classiques (i.e. FBAR, SMR) dans lesquels les ondes acoustiques traversent la couche piézoélectrique verticalement, les ondes acoustiques se propagent latéralement d'une électrode à l'autre<sup>[1-48]</sup>. Cette différence est illustrée dans un diagramme simplifié sur la Figure 1.4-9. En fait, la résonance à ondes de Lamb est normalement considérée comme un mode parasite de résonance dans un résonateur BAW classique.



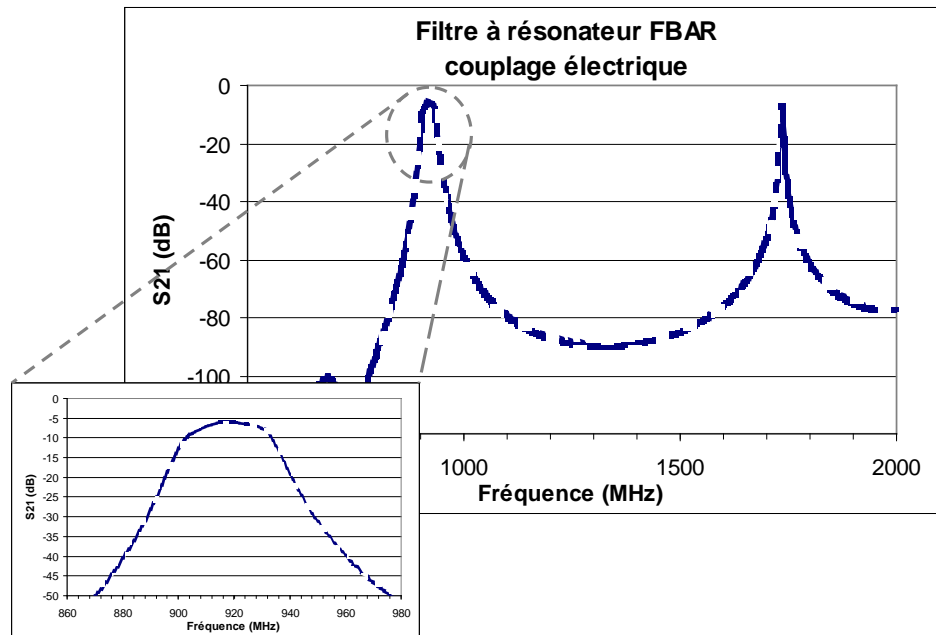
**Figure 1.4-9 Mode de propagation des ondes acoustiques du résonateur BAW**

Un filtre à ondes de Lamb peut également être réalisé en exploitant un couplage électrique (i.e. ladder, lattice) ou un couplage acoustique<sup>[1-48]</sup>.

#### 1.4.3 Filtre MEMS pour un récepteur de la radio logicielle

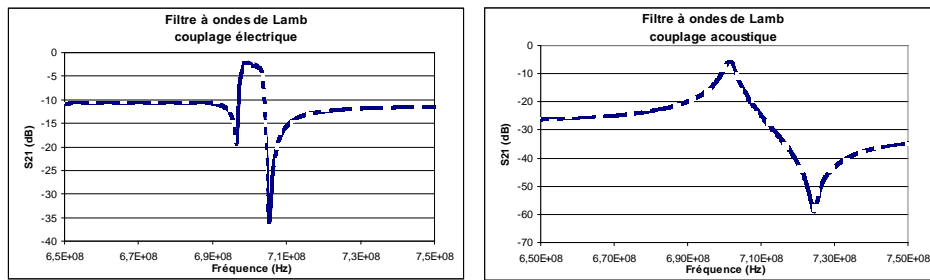
Dans cette partie, l'intérêt d'exploiter un filtre MEMS pour un récepteur numérisé à haute fréquence intermédiaire, est étudié.

En supposant une fréquence intermédiaire avoisinant les 920 MHz, un filtre à résonateur FBAR a été simulé. La réponse fréquentielle est présentée sur la Figure 1.4-10. On remarque qu'un harmonique parasite existe à environ 1800 MHz, susceptible de dégrader le bruit de repliement d'un échantillonneur si un brouilleur puissant s'y trouve. La bande passante à 3 dB du filtre est d'environ 30 MHz avec une perte de 6 dB à la fréquence centrale. Pour la plupart des normes existantes, cela signifie que les brouilleurs intra bandes (i.e. les brouilleurs dans les canaux adjacents du canal de signal utile) ne seront pas filtrés. Cela sous-entend également que la dynamique du CAN devra inclure ces brouilleurs non atténués. En général, ce type de filtre BAW n'est pas adapté au filtrage à bande étroite à une haute fréquence centrale. En augmentant la fréquence centrale des résonateurs, la bande peut être élargie et la perte réduite, comme dans un filtre de réception WCDMA<sup>[1-39]</sup>. En revanche, cette fréquence centrale ne peut pas être réduite à moins de 900 MHz à cause des contraintes d'épaisseur de la membrane piézoélectrique et d'une perte trop importante.

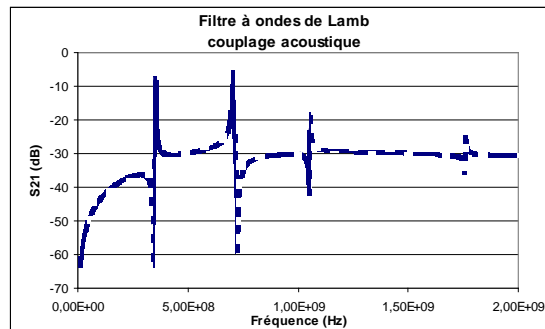


**Figure 1.4-10 Filtre à résonateur FBAR à 920MHz**

Pour filtrer des brouilleurs intra bandes, un filtre à ondes de Lamb est éventuellement mieux adapté pour une application à bande étroite. Contrairement au filtre à résonateur FBAR, la fréquence centrale du filtre à ondes de Lamb est plafonnée à 700 MHz. En revanche, comme avec le filtre à résonateur FBAR, la largeur de bande augmente avec la fréquence centrale. A 700 MHz, la largeur de bande atteint environ 5,5 MHz. La réponse fréquentielle simulée du filtre à ondes de Lamb couplées électriquement est tracée sur la Figure 1.4-11. Ce filtre présente une perte nominale assez faible (2 dB) et n'aurait pas d'harmoniques parasites. Malheureusement, la sélectivité du filtre est moins bonne que celle du filtre à résonateur FBAR. Le filtre couplé acoustiquement a une meilleure sélectivité, mais la perte nominale est plus importante (5,5 dB) et la bande plus étroite (3 MHz). De surcroît, il existe des harmoniques parasites, comme illustré sur la Figure 1.4-12. Enfin, puisque ces filtres n'ont pas une excellente atténuation et se montrent asymétriques, la suppression du bruit de repliement pourrait être insuffisante pour certaines applications, qui sont sensibles aux brouilleurs hors bandes.



**Figure 1.4-11** Filtre à ondes de Lamb à 700 MHz



**Figure 1.4-12** Harmoniques parasites du filtre à ondes de Lamb couplé acoustiquement

Le filtrage à ondes de Lamb constitue un sujet de recherche assez récent. Un filtre à ondes de Lamb ne serait pas adapté en l'état actuel pour l'application d'échantillonnage à hautes fréquences. Le manque de sélectivité et la présence des résonances parasites renforcent surtout le problème de repliement d'échantillonnage. D'un autre côté, les filtres BAW sont une technologie plus mature. Cependant, la perte due au problème de couplage est souvent importante. L'utilisation du réflecteur Bragg, comme dans les résonateurs CRF et SCF, est devenue indispensable. Mais de nouvelles innovations seront encore nécessaires pour atteindre une faible perte d'insertion et une meilleure sélectivité. Pour cette thèse, les filtres FBAR seront considérés pour la conception d'un récepteur de la radio logicielle. Ce type de filtre BAW, même s'il n'est pas le plus performant, représente la technologie la plus mature dans la famille des filtres BAW. L'estimation des caractéristiques par voie de simulation du filtre FBAR est donc plus fiable,

## 1.5 Comparaison des technologies de filtrage passif

Afin de mieux comprendre les limitations des différentes technologies de filtrage passif, un aperçu des performances des filtres passifs réalisés avec différentes technologies de résonateur est donné dans le Tableau 1.5-1 <sup>[1-48][1-49][1-50]</sup>.

Tableau 1.5-1 Comparaison des technologies de filtrage passif

	Quartz	LC	SAW	FBAR	SMR	Onde de Lamb
Technologie	piézoélec.	circuit intégré	piézoélec.	piézoélec.	piézoélec.	piézoélec.
Q de résonateur	100000	30-80	1500	1000	8500	2300
Fréquence d'utilisation	50 KHz-100 MHz	< 5 GHz	50 MHz – 2 GHz	900 MHz – 2,4 GHz	600 MHz – 8 GHz	40 MHz – 500 MHz
Perte d'insertion	~ 0 dB	< 1 dB	~1 dB	3 dB	3 dB	> 3,5 dB
Surface <sup>9</sup>	130 µm x 80 µm	100 µm x 100 µm	1 cm x 1cm	600µm x 1,4 mm	500µm x 100 µm	52µm x 350 µm
Intégration CMOS	non	oui	non	oui	oui	oui
Matériaux	LiTaO <sub>3</sub>	Silicium	LiTaO <sub>3</sub> , LiNbO	AlN, ZnO	AlN, ZnO	AlN

## 1.6 Conclusion

Dans les différents scénarii de radio logicielle, le récepteur doit couvrir une très large bande de spectre, allant de quelques centaines de MHz jusqu'à 6 GHz. Pour l'instant, un cahier des charges de conversion analogique numérique directe, pour ces scénarii est difficilement abordable. Même avec un scénario moins ambitieux, le besoin en dynamique de conversion analogique numérique peut atteindre plus de 80 dB, voire 100 dB. Ce scénario est encore plus difficilement réalisable pour les applications multi-bandes, multi-standards. La réduction de dimensions se traduit pour les transistors MOS par une vitesse de commutation plus rapide, ce qui est avantageux pour la conception d'un convertisseur analogique numérique à large bande ; cet avantage est cependant compensé par les performances analogiques qui se dégradent. On peut citer, par exemple, la fuite de courant de substrat et de grille, la réduction du rapport  $gm/gds$  et la dispersion technologique.

Il est donc nécessaire d'exploiter d'autres architectures de la chaîne de réception, telles qu'un récepteur échantillonné où une bande de signal est simultanément filtrée et échantillonnée pour faciliter l'opération du convertisseur analogique numérique qui suit. À première vue, la technologie actuelle CMOS 65 nm pourrait être adaptée à l'implémentation d'un tel récepteur échantillonné grâce à sa fréquence de coupure élevée et son courant de grille suffisamment faible. Toujours sur le plan technologique, le filtre MEMS pourrait considérablement réduire le repliement

<sup>9</sup> sans boîtiers

de bruit dans l'échantillonnage des signaux à radio fréquence grâce à sa qualité de filtrage très élevée. En particulier, les filtres BAWs et le filtre à ondes de Lamb, qui font actuellement l'objet de recherches intensives, semblent prometteurs au niveau de la compatibilité de processus de fabrication avec la technologie CMOS. Pourtant, les harmoniques parasites restent un point majeur à résoudre par rapport aux filtres traditionnels non-intégrables, tels que les filtres SAW et LC. En résumé, il faut tâcher de minimiser de façon générale l'impact de tous les défauts technologiques à l'aide d'innovations au niveau de l'architecture du récepteur et du circuit. Ce dernier point constitue l'objectif principal de ce travail de thèse.

**James Wei**

Thèse en télécommunication / 2008

Institut national des sciences appliquées de Lyon

27

# Chapitre 2 : Méthode de transposition de fréquence dans un récepteur

<b>2.1</b>	<b>Introduction.....</b>	<b>29</b>
<b>2.2</b>	<b>Récepteur analogique et récepteur échantillonné .....</b>	<b>29</b>
2.2.1	Architecture du récepteur à mélangeur	
2.2.2	Architecture du récepteur échantillonné	
2.2.2.1	<i>L'entrelacement temporel</i>	
2.2.2.2	Le filtrage par décimation	
2.2.3	Comparaison de l'Etat de l'Art du Récepteur Echantillonné	
<b>2.3</b>	<b>Méthode de changement de fréquence .....</b>	<b>37</b>
2.3.1	Mélangeur versus échantillonneur bloqueur (S/H)	
2.3.2	L'effet de bruit de phase sur mélangeur et sur échantillonneur bloqueur	
	<b>Fehler! Verweisquelle konnte nicht gefunden werden. .... Fehler!</b>	
	<b>Verweisquelle konnte nicht gefunden werden.</b>	
<b>2.4</b>	<b>Défauts des échantillonneurs .....</b>	<b>42</b>
2.4.1	Défauts liés à la technologie	
2.4.1.1	<i>Injection de charges</i>	
2.4.1.2	<i>Distorsion liée à l'injection de charges</i>	
2.4.1.3	<i>Distorsion par modulation de conductance</i>	
2.4.2	Autres défauts liés à l'opération d'échantillonnage	
2.4.2.1	<i>Limitation de bande passante</i>	
2.4.2.2	<i>Incertitude de l'ouverture à l'échantillonnage</i>	
<b>2.5</b>	<b>Conclusion .....</b>	<b>53</b>



---

## 2.1 Introduction

Dans ce chapitre, le concept du récepteur échantillonné est introduit. Tout d'abord, deux méthodes de transposition de fréquence sont comparées : la méthode par mélangeur, qui se trouve normalement dans un récepteur analogique, et la méthode par échantillonnage, habituellement plutôt réservée à la conversion analogique numérique. Les avantages et les inconvénients de ces deux méthodes de changement de fréquences sont examinés en détail, notamment sur le plan du facteur de bruit, de la linéarité et de l'effet de gigue. Il sera montré qu'il est possible de remplacer un mélangeur par un échantillonneur pour réaliser le changement de fréquence, au prix d'un facteur de bruit plus élevé dans un récepteur. Ensuite, l'état de l'art des architectures de récepteur échantillonné est exposé. Un aperçu qualitatif et une comparaison sont menés pour les architectures présentées. Afin de mieux comprendre l'effet de l'échantillonnage dans un récepteur, une étude approfondie est ensuite effectuée sur les différents effets liés à l'échantillonnage.

---

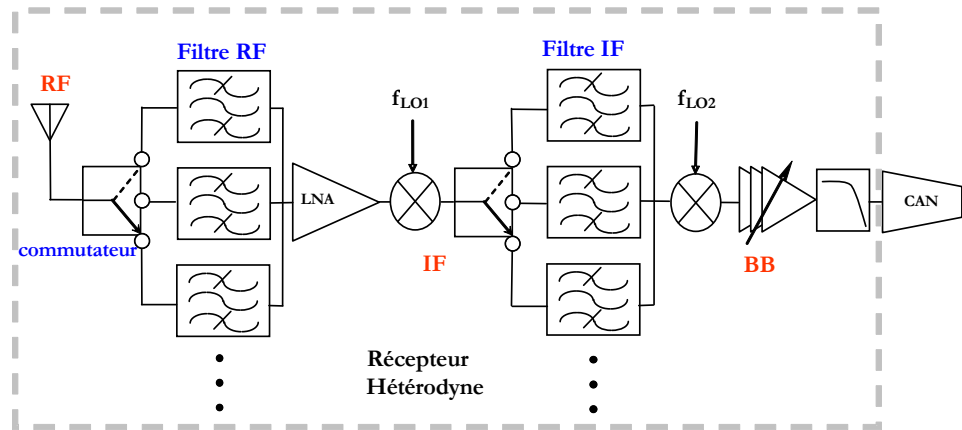
## 2.2 Récepteur analogique et récepteur échantillonné

Une des fonctions primordiales d'un récepteur est la transposition (i.e. démodulation RF) du signal en bande de base. Traditionnellement, cette fonction est réalisée avec un mélangeur analogique. La solution consistant à changer la fréquence par échantillonnage est de plus en plus explorée pour répondre aux besoins de la radio logicielle. Les sections suivantes comparent les caractéristiques de deux types de récepteur. Les différentes architectures de récepteur échantillonné sont également présentées.

---

### 2.2.1 Architecture du récepteur à mélangeur

On distingue classiquement deux types d'architecture : homodyne (i.e. une conversion fréquentielle directe à la bande de base) et hétérodyne (i.e. une conversion à une fréquence intermédiaire  $f_{IF}$  au moins). La seconde est illustrée sur la Figure 2.2-1.



**Figure 2.2-1 Architecture de récepteur hétérodyne**

Les études sur le principe de fonctionnement et la comparaison de ces deux architectures de base sont bien connues et sont couramment exposées dans la littérature<sup>[2-1][2-2][2-3][2-4]</sup>. La transposition de fréquence est effectuée par un mélangeur pour le récepteur homodyne et deux changements de fréquence pour le récepteur hétérodyne. Il y a classiquement des étages de filtrage et de gain avant et après chaque mélangeur. Il est possible pour un récepteur de couvrir plusieurs standards en commutant les filtres et en changeant la fréquence des oscillateurs locaux. Evidemment, le nombre de normes traitées par un récepteur est limité par le nombre de filtres qu'il est possible d'utiliser. Dans le Tableau 2.2-1, une comparaison qualitative est donnée pour les récepteurs à mélangeur.

**Tableau 2.2-1 Comparaison des récepteurs à mélangeur**

Architecture	intégration circuit	multistandard	offset DC	linéarité	Facteur de bruit	réjection d'image	conso .	dynamique CAN exigée
Homodyne	√	√	X	X	√	√	√	X
Hétérodyne IF élevée	X	X	√	√	X	√	X	√
Hétérodyne IF faible	√	√	√	√	√	√	√	√

Le récepteur homodyne apporte un fort degré d'intégration, plus de souplesse pour la reconfiguration et moins de consommation. En revanche, l'architecture homodyne souffre d'un problème de DC offset pour lequel de nombreuses solutions existent. Un prototype de récepteur homodyne en CMOS qui couvre les bandes de 100 MHz à 6 GHz a fait l'objet d'une publication<sup>[2-5]</sup>. L'architecture du récepteur proposée comprend plusieurs blocs programmables, principalement :

- deux amplificateurs faible bruit commutables pour couvrir la plage de 6 GHz,

- un bloc programmable de diviseur/multiplicateur pour générer les fréquences LO pour pouvoir transposer en fréquence toutes les bandes à 6 GHz,
- un filtre gm-C programmable en bande de base de 350 KHz à 23 MHz.

Puisqu'il y a peu de filtrage avant le filtre, le besoin de linéarité est très élevé, surtout pour le mélangeur large bande et pour le filtre gm-C. En effet, la réalisation des blocs analogiques dans un récepteur très large bande s'avère plus difficile que celle d'un récepteur à bande étroite.

Le récepteur hétérodyne, pour sa part, offre une meilleure linéarité grâce au filtrage intercalé et partitionné entre les étages de gain. En conséquence, il est moins exigeant sur la dynamique de la partie bande de base, mais au prix d'une reconfiguration très limitée. En général, le récepteur hétérodyne à faible fréquence intermédiaire se positionne comme un compromis entre le récepteur homodyne et le récepteur hétérodyne à haute fréquence intermédiaire.

---

### 2.2.2 Architecture du récepteur échantillonné

Pour une application de radio logicielle, la possibilité de s'adapter aux normes de communication en temps réel pour un récepteur est une fonction primordiale. La ré-utilisation et la reconfiguration des étages de la chaîne de réception sont la plupart du temps considérés plus faciles dans le domaine numérique que dans le domaine analogique. Afin de favoriser la reconfiguration, une solution serait d'avoir un récepteur échantillonné puis numérisé très tôt dans la chaîne. On distingue ainsi deux solutions : l'architecture « Digital RF » et l'architecture « Digital IF » (voir Figure 2.2-2).

Pour l'architecture « Digital RF », la numérisation près de l'antenne sous-entend un filtrage minimum des brouilleurs hors bande avant la conversion analogique numérique. Numériser une bande entière tout près de l'antenne n'est pas une option envisageable dans un futur proche. Même si cela était possible techniquement aujourd'hui, cela ne serait pas réaliste d'un point de vue de la consommation, d'intégrer un convertisseur analogique numérique qui offre une dynamique de plus de 100 dB avec une dizaine de mégahertz de bande passante. De plus, dans la majorité des scénarii de la radio logicielle présenté, le convertisseur doit pouvoir supporter différentes fréquences porteuses qui varient de quelques centaines de mégahertz à plus de 5 GHz. Pour l'instant, il faut plutôt privilégier une solution intermédiaire comme l'architecture « Digital IF ». Au lieu de numériser directement aux différentes fréquences porteuses, le récepteur « Digital IF » transpose par un mélangeur les bandes de signal à une fréquence intermédiaire fixe, ce qui élimine la nécessité de couvrir une très large bande de conversion pour un CAN. Par conséquent, la contrainte sur le CAN est bien réduite et en même temps, une plus grande souplesse est accordée pour reconfigurer le récepteur au niveau de la conversion analogique numérique.

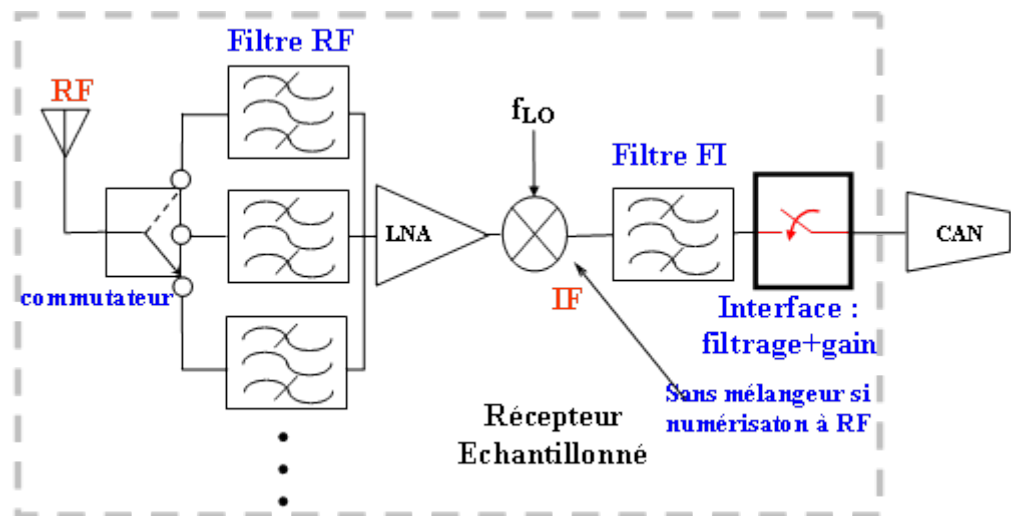


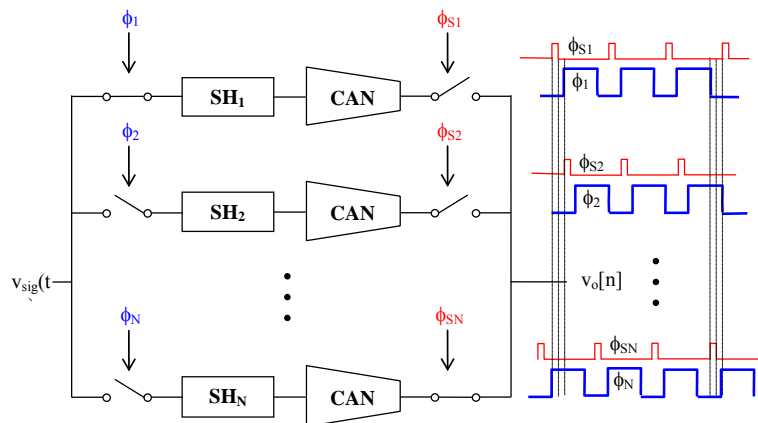
Figure 2.2-2 Chaîne du récepteur échantillonné à Digital IF

L'utilisation d'une fréquence intermédiaire après la première transposition peut entraîner un problème de repliement. Sans mélangeur en quadrature, il faudrait alors garder cette fréquence intermédiaire assez élevée pour pouvoir filtrer suffisamment l'image, ce qui limite l'intérêt du changement de fréquence. Pour remédier à ce problème, un bloc d'interface entre le mélangeur et le CAN peut être introduit là où se trouvent normalement les blocs d'amplificateur et de filtre analogique dans un récepteur classique. Cette interface peut être constituée des éléments d'échantillonnage avec une fonction d'amplification, d'atténuation, de filtrage et de décimation. Tout cela aidera à réduire la dynamique du signal à l'entrée du CAN. Ce dernier permettra alors une conversion analogique numérique plus performante. Enfin, la fréquence d'opération du CAN sera réduite grâce à la décimation.

Les différentes architectures possibles pour cette interface sont maintenant analysés.

#### 2.2.2.1 L'entrelacement temporel

L'échantillonnage à entrelacement temporel est une technique courante qui permet de réduire la fréquence d'échantillonnage du convertisseur analogique numérique<sup>[2-6][2-7][2-8]</sup>. L'avantage majeur est sans aucun doute d'avoir un convertisseur qui tourne à une fréquence  $f_s/N$  où  $N$  représente le nombre de voies d'entrelacement (i.e. en parallèle). La sortie se produit toujours à une cadence  $f_s$  comme s'il n'y avait qu'une seule voie de conversion. En conséquence, le convertisseur fonctionne d'une façon plus linéaire avec moins de défauts d'échantillonnage. Le schéma de fonctionnement de l'échantillonneur bloqueur à entrelacement est illustré sur la Figure 2.2-3.

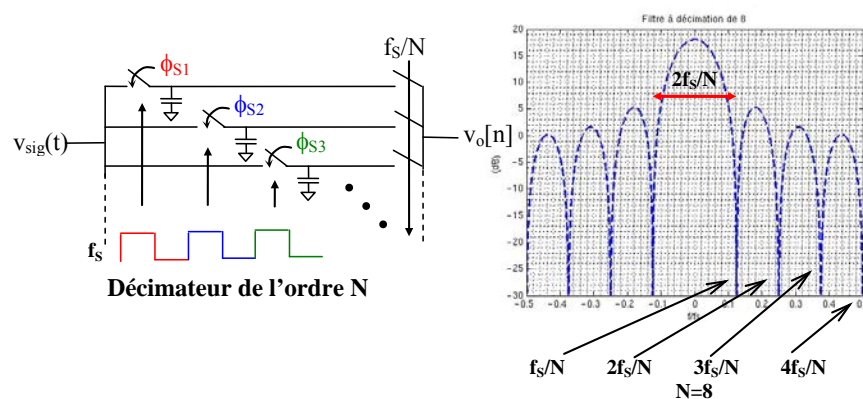


**Figure 2.2-3 Echantillonneur bloqueur à entrelacement temporel**

Cependant, la structure du CAN à entrelacement n'apporte aucun filtrage supplémentaire pour pouvoir améliorer la performance d'un récepteur échantillonné. Aussi, cette technique n'a pas été explorée davantage pendant la thèse.

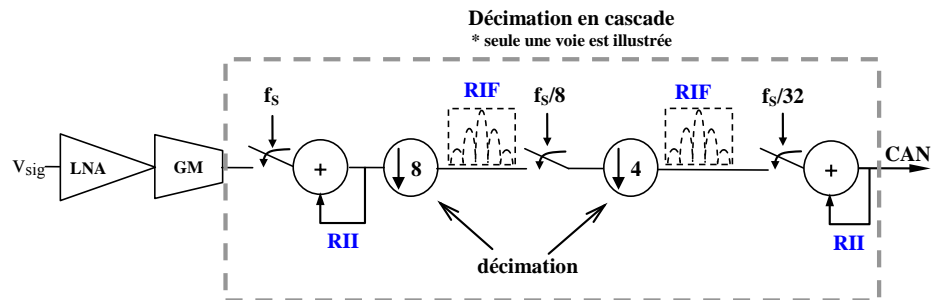
#### 2.2.2.2 Le filtrage par décimation

La décimation, une technique proche de l'échantillonnage à entrelacement, nécessite d'abord d'échantillonner le signal d'entrée sur  $N$  échantillonneurs/condensateurs en parallèle. Mais à la différence de l'entrelacement, tous les échantillons sur les  $N$  condensateurs sont additionnés et pris en même temps. Autrement dit, seul un convertisseur est nécessaire pour  $N$  échantillonneurs bloqueurs. En résumé, la décimation est une technique souvent exploitée pour réaliser un filtrage à réponse impulsionnelle finie (RIF) dans le domaine échantillonné<sup>[2-9][2-10]</sup>. Non seulement la fréquence à laquelle fonctionne le convertisseur est réduite par un facteur  $N$  grâce à la décimation, mais les bandes de repliement à fraction entière de la fréquence d'échantillonnage  $f_s$  seront naturellement filtrées, comme illustré sur la réponse fréquentielle tracée sur la Figure 2.2-4. Enfin, la décimation peut apporter du gain, ce qui n'est pas le cas avec l'échantillonnage à entrelacement.



**Figure 2.2-4 Echantillonnage par décimation**

Une limitation de la décimation simple est la faible atténuation aux bandes de repliement puisque les crevasses du filtre ont une largeur assez étroite et donc insuffisante pour atténuer tout le bruit replié dans un signal de large bande. Par ailleurs, ayant une bande passante élevée, le filtre ne pourrait pas atténuer les brouilleurs proches de la fréquence porteuse du signal utile, surtout si l'ordre de décimation est faible. Une solution sera de monter des étages de décimation en cascade, comme illustré sur la Figure 2.2-5. Dans ce récepteur, le signal subit une opération du filtrage directement à la fréquence porteuse<sup>[2-11][2-12][2-13]</sup>.



**Figure 2.2-5 Filtrage avec décimation en cascade**

Pour ce filtre, 8 cycles d'intégration successifs sont effectués sur les huit condensateurs à la sortie de l'amplificateur à transconductance. Cela permet d'obtenir une première décimation par 8. Dès que  $4 \times 8$  cycles d'échantillons sont acquis sur quatre des huit condensateurs, les charges de ces quatre condensateurs sont additionnées et traités par le CAN à la sortie. Cela donne une deuxième décimation par 4. En outre, un condensateur de mémoire est introduit en parallèle avec les 8 condensateurs à l'entrée et à la sortie pour conserver une partie des charges échantillonnées. Puisque ces deux condensateurs de mémoire ne sont jamais remis à zéro, on obtient un filtrage à réponse impulsionnelle infinie (RII) à l'entrée ainsi qu'à la sortie. Le schéma équivalent ainsi que la réponse en fréquence intégrale de ce filtre sont donnés sur la Figure 2.2-6. Un filtre similaire sans le deuxième filtre à RII a été récemment exploité pour réaliser un récepteur radio logicielle de 800 MHz à 5 GHz<sup>[2-14]</sup>.

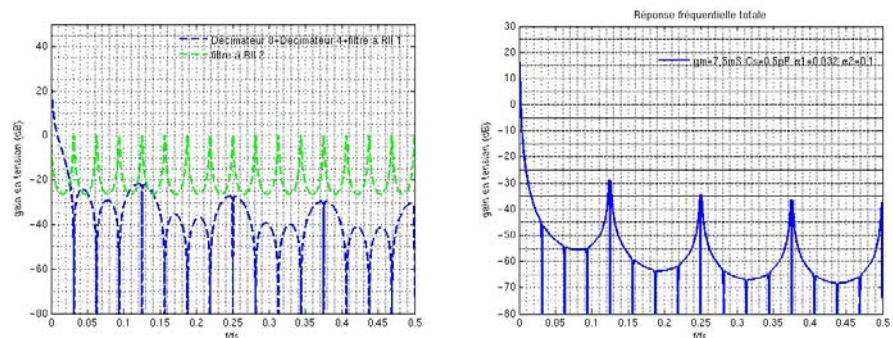
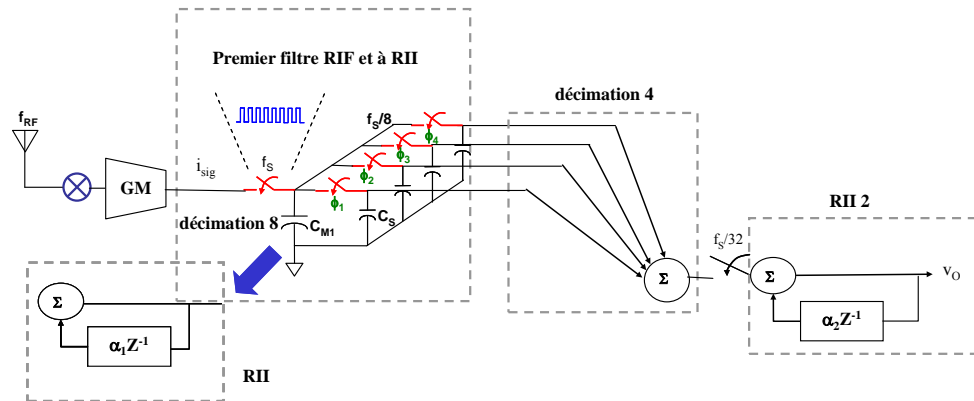


Figure 2.2-6 Diagramme équivalent à la structure en cascade

Le filtre à réponse impulsionnelle infinie présente quelques inconvénients. Si le deuxième filtre RII donne lieu à un pôle à très basse fréquence (i.e. le paramètre  $\alpha_1$  est proportionnel à  $C_S/(C_S+C_{M1})$ , avec  $C_{M1}$  normalement beaucoup plus élevé que  $C_S$ ), ce qui permet de filtrer des brouilleurs intra bande, néanmoins, ce filtre RII limite la bande passante du filtre échantillonné. (Dans [2-12], le filtre a été conçu pour les standards BlueTooth et GSM, qui ont une largeur de canal faible.) En outre, ce même filtre à RII amplifie les bandes de repliement aux fréquences multiples de  $f_s/32$ , comme montré sur la réponse fréquentielle tracée, ce qui annule l'effet d'anti-repliement apporté par l'étage précédant le décimateur de 4. Enfin, le filtre à RII produit un gain DC très élevé, ce qui nécessite une boucle de contre action<sup>10</sup> pour stabiliser le mode commun.

L'une des faiblesses majeures de ce type de récepteur est donc une forte contrainte de réjection de l'image. Avec une basse fréquence intermédiaire, le filtre échantillonné doit pouvoir éliminer suffisamment les brouilleurs proches du signal souhaité. Une solution serait de filtrer avec un filtre à RII, comme exposé dans l'architecture de la Figure 2.2-5. Une autre solution serait d'employer un mélangeur

<sup>10</sup> La boucle n'est pas illustrée sur la figure.

précédant le filtre échantillonné qui réalise un filtrage complexe<sup>[2-14]</sup>. En revanche, puisque la bande image se trouvera proche de la bande de signal souhaité, l'atténuation élevée de l'image est en pratique plus difficile à obtenir. Un filtre SAW à bande étroite peut aussi atténuer l'image suffisamment avant l'échantillonnage. Pourtant, ce filtre limitera la largeur de bande utilisable et rendra donc le récepteur moins versatile pour l'application de radio logicielle. Il est aussi possible de transposer directement à zéro fréquence intermédiaire avec un filtre échantillonné<sup>[2-15]</sup>, mais avec tous les inconvénients d'un récepteur à « zéro-IF ». Un compromis serait d'augmenter la première fréquence intermédiaire à une fréquence bien plus élevée. Mais le filtre échantillonné qui suit devra être capable de réaliser une réjection d'image supplémentaire. Une autre faiblesse sera le manque de sélectivité des bandes à la tête de réception. Le récepteur présenté dans [2-14] n'inclut aucun filtrage RF, ce qui ne facilite pas la conception du mélangeur et de l'amplificateur en tête de la chaîne de réception.

### 2.2.3 Comparaison de l'Etat de l'Art du Récepteur Echantillonné

Le tableau ci-dessous présente de façon succincte les récepteurs à base du filtre échantillonné publiés dans la littérature.

**Tableau 2.2-2 Comparaison de l'état de l'art du récepteur échantillonné**

	Techno.	Type d'échan.	Filtre échan.	Fréquence porteuse	Largeur de bande	Fréquence d'échan.	Réjection image du filtre éch.	Facteur de bruit
[2-16] 1996	0,8µm CMOS	tension	Filtre RIF (ordre 8)	30MHz/ 990MHz	2MHz	120MHz	60dB/38dB	-
[2-10] 1996	0,6µm BiCMOS	tension	décimation en cascade	910MHz	30KHz	78MHz	aucune	47dB
[2-9] 2003	0,5µm CMOS	tension	Filtre RIF (ordre 4)	230MHz	100KHz	230MHz	aucune	34dB
[2-16] 2003	0,25µm CMOS	tension	Filtre RIF en cascade	377MHz	200KHz (GSM)	52MHz	27dB	-
[2-17] 2004	0,18µm CMOS	tension	décimation à entrelacement	2,4GHz	22MHz (WLAN)	1,072GHz	66dB	22dB
[2-11] 2004	0,13µm CMOS	courant	décimation en cascade & filtre à RII	2,4GHz	1MHz (Bluetooth)	2,4GHz	aucune	-
[2-18] 2005	0,35µm BiCMOS	courant	Filtre RIF (ordre 192)	50MHz	923KHz	200MHz	36dB	10dB
[2-12] 2005	90nm CMOS	courant	décimation en cascade & filtre à RII	900MHz/ 1800MHz	200KHz (GSM/GPRS)	900MHz/ 1800MHz	aucune	2dB
[2-14] 2006	90nm CMOS	courant	décimation en cascade & filtre à RII	900MHz/ 2,4GHz	200KHz/ 22MHz	72MHz/ 480MHz	aucune	5dB



Comme on peut le constater, la tendance actuelle est d'utiliser l'échantillonnage en courant au lieu de l'échantillonnage en tension qui était utilisé auparavant. Autre constat : pour la plupart des récepteurs, la bande passante traitée reste relativement faible (i.e.  $< 1$  MHz), sauf pour la norme WLAN avec 22 MHz de bande passante, qui n'est pas spécialement exigeante en termes de dynamique et de filtrage de brouilleurs.

Un problème majeur rencontré avec toutes les architectures proposées est la faible réjection d'image, voire l'absence de réjection par l'intermédiaire du filtrage échantillonné.

---

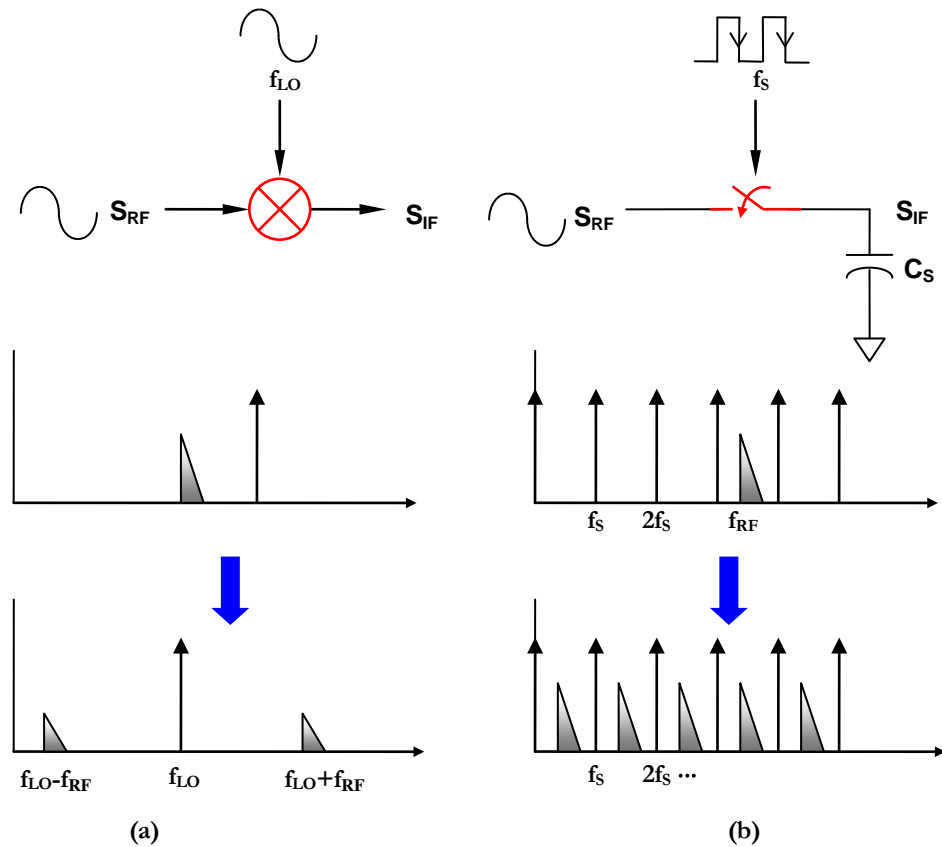
## 2.3 Méthode de changement de fréquence

Cette nouvelle section examine plus en détail les différences de fonctionnement, en gain théorique et en rapport signal à bruit, entre un mélangeur et un échantillonneur bloqueur.

---

### 2.3.1 Mélangeur versus échantillonneur bloqueur (S/H)

Pour le mélangeur et l'échantillonneur, le signal subit une transposition de fréquence de  $f_{RF}$  à  $f_{IF}$  par l'intermédiaire d'une multiplication par la porteuse de fréquence  $f_{LO}$  et par l'horloge de fréquence  $f_S$ , respectivement. Ces deux méthodes de transposition sont présentées sur la Figure 2.3-1. D'un point de vue mathématique, il faut faire une distinction importante entre ces deux méthodes : la transposition fréquentielle du signal (i.e. le déplacement du spectre de signal en fréquence) est en temps continu pour un mélangeur et en temps discret pour un échantillonneur. Plus précisément, pour un mélangeur, le signal subit une convolution en fréquence avec une porteuse pure et est transposé aux fréquences ( $f_{LO} \pm f_{RF}$ ) (voir Figure 2.3-1a). Pour un échantillonneur, le signal échantillonné subit une convolution en fréquence avec un peigne de Dirac et est donc dupliqué à toutes les fréquences harmoniques de  $f_S$  (voir Figure 2.3-1b).



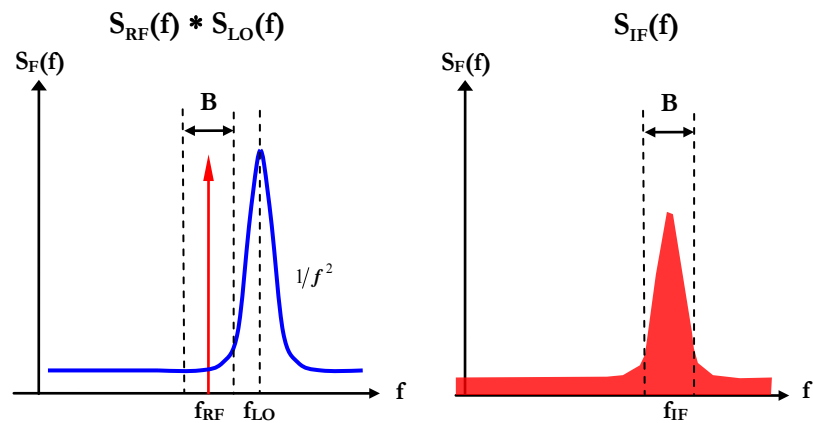
**Figure 2.3-1 Spectre de conversion de fréquences (a) avec un mélangeur (b) avec un S/H**

La différence du mécanisme de conversion entre un échantillonneur et un mélangeur est analysée par rapport à l'effet de la gigue d'horloge.

### 2.3.2 L'effet de bruit de phase sur mélangeur et sur échantillonneur bloqueur

Jusqu'à présent, l'oscillateur local ( $f_{LO}$ ) pour le mélangeur et l'horloge d'échantillonnage ( $f_s$ ) pour l'échantillonneur sont considérés sans bruit de phase. En réalité, la gigue peut dégrader le rapport signal à bruit (SNR) après la transposition de fréquence et aussi après l'échantillonnage.

D'abord, le bruit ajouté à la sortie d'un mélangeur par le bruit de phase de l'oscillateur local est illustré sur la Figure 2.3-2. L'oscillateur local est caractérisé par un profil de bruit de phase en  $1/f^2$ . Si à l'entrée du mélangeur idéal  $V_{RF}(t)$ , était une sinusoïde sans bruit, le signal à la sortie prendrait un profil similaire à celui de l'oscillateur local.



**Figure 2.3-2 L'effet de bruit de phase sur le SNR de mélangeur**

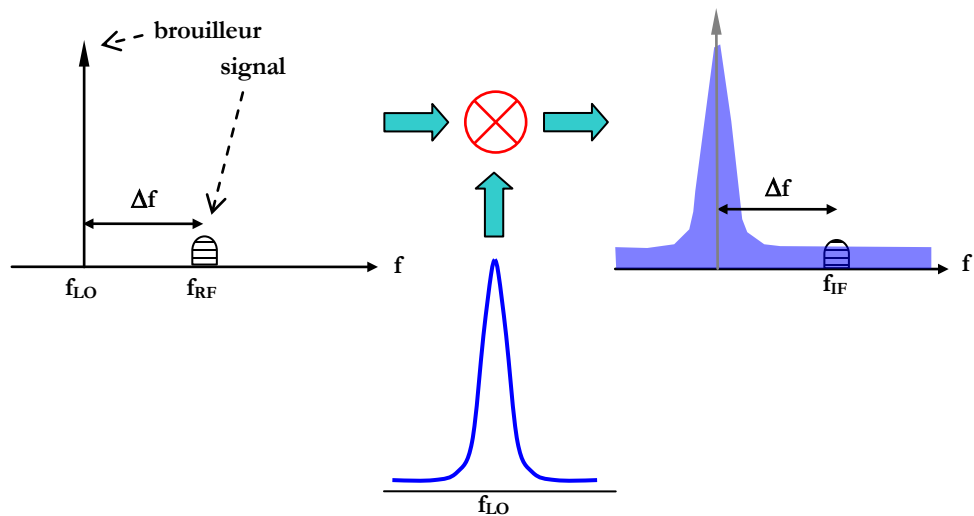
En supposant que la puissance totale de bruit de phase de l'oscillateur local est  $\sigma_\theta^2$  dans une bande d'intégration  $B$ , le rapport signal à bruit à la sortie du mélangeur sera,

$$SNR_{MR} = \frac{P_{so}}{P_{no}} = \frac{1}{\sigma_\theta^2} = SNR_{LO}$$

**Équation 2.3-1**

Le bruit à la sortie  $P_{no}$  est la convolution entre le bruit de phase de l'oscillateur local et le signal RF. Ainsi, le SNR du mélangeur peut être limité par le  $SNR_{LO}$  de l'oscillateur local, même sans bruit à l'entrée.

Un deuxième effet du bruit de phase est illustré sur la Figure 2.3-3<sup>[2-19][2-20]</sup>. Si un brouilleur à l'entrée du mélangeur se trouve à une fréquence proche de l'oscillateur local, la bande de signal utile pourra être bruitée après la transposition de fréquence puisque le brouilleur transposé prend le profil de bruit de phase de l'oscillateur, comme illustré sur la figure.



**Figure 2.3-3 SNR dégradation du mélangeur en présence d'un brouilleur**

Pour ce qui est de la corrélation du SNR de l'échantillonneur bloqueur et la gigue de l'horloge, ce sujet a été dans la littérature<sup>[2-21][2-22][2-23][2-24][2-25]</sup>. Dans la suite, on utilisera les expressions analytiques issues de [2-22] :

Dans le cas où le signal d'entrée est une sinusoïde de fréquence  $f_{RF}$ , on a :

$$SNR_{SH} = \frac{1}{(2\pi\sigma_\tau f_{RF})^2} = \frac{1}{\sigma_\theta^2} \left( \frac{f_S}{f_{RF}} \right)^2 = \left( \frac{f_S}{f_{RF}} \right)^2 SNR_S$$

$$\sigma_\theta^2 = (2\pi f_S \sigma_j)^2$$

**Équation 2.3-2**

$\sigma_j$  et  $\sigma_\theta$  sont les puissances moyennes du bruit de phase respectivement en secondes et radians. Comme dans le cas du mélangeur, le SNR de l'échantillonneur est corrélé directement au bruit de phase de l'horloge. Le facteur  $(f_S/f_{RF})^2$  tient compte du sous échantillonnage à  $f_S$  par rapport à  $f_{RF}$ .

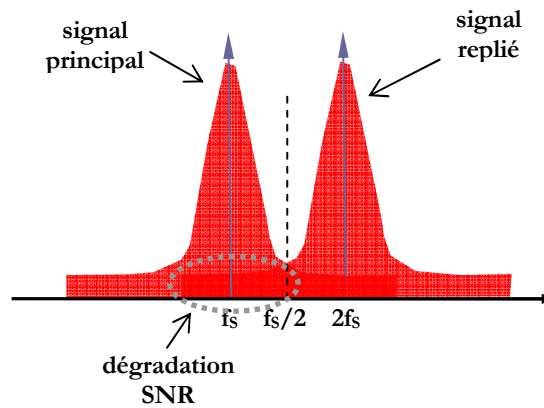


Figure 2.3-4 L'effet du repliement sur le SNR de S/H

Pour mieux comparer les deux solutions, le SNR maximum théorique du mélangeur et de l'échantillonneur sont tracés en fonction du SNR et de la fréquence de l'oscillateur local/de l'horloge sur la Figure 2.3-5. On s'aperçoit que pour une fréquence d'horloge supérieure à 1 GHz, la contrainte de gigue devient sévère (<1 ps) même pour un SNR faible. Naturellement, la performance de bruit du synthétiseur de fréquence est donc primordiale. Pour l'échantillonnage, le bruit du synthétiseur est encore plus contraignant quand on échantillonne un signal à fréquence très élevée.

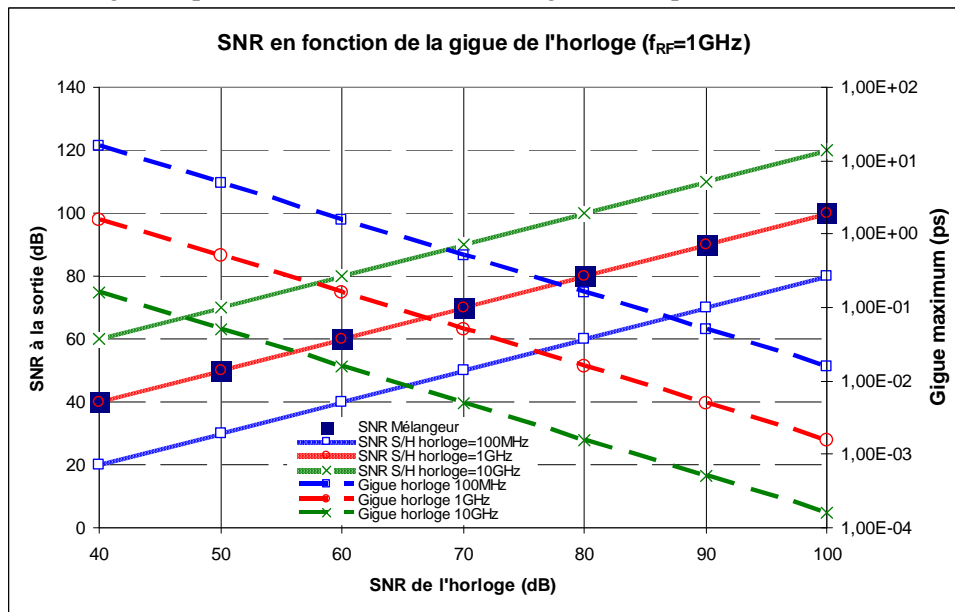


Figure 2.3-5 Comparaison de SNR en fonction de la gigue d'horloge

## 2.4 Défauts des échantillonneurs

Le transistor MOS est utilisé pour la réalisation des échantillonneurs, comme illustré sur la Figure 2.4-1. A la différence de son homologue bipolaire, le commutateur MOS n'a pas besoin de courant de polarisation. Néanmoins, la performance d'un échantillonneur bloqueur est très sensible aux caractéristiques de la technologie MOS qui, avec l'évolution technologique, devient de moins en moins performant.

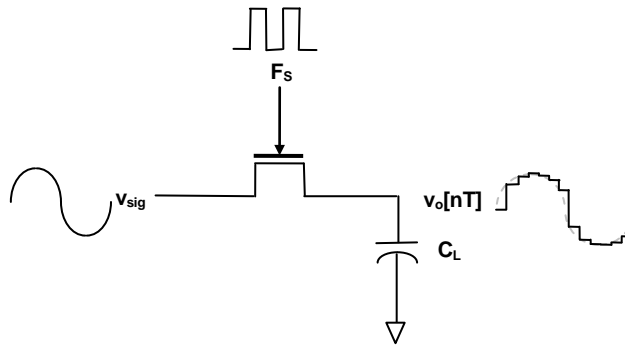
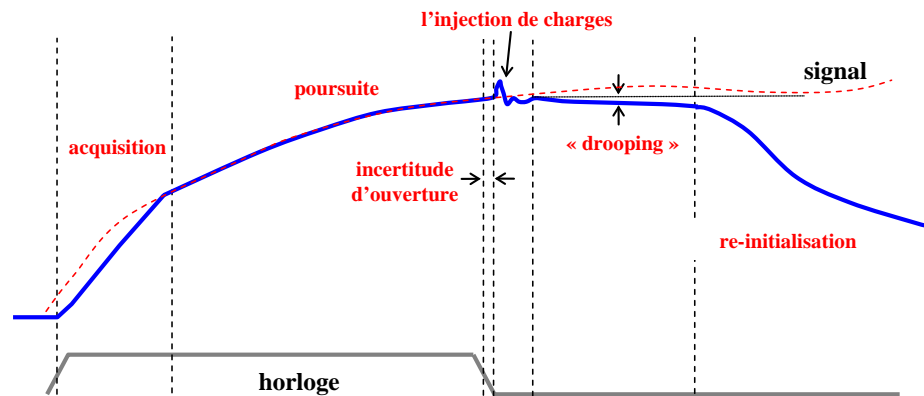


Figure 2.4-1 S/H de tension avec commutateur MOS

Il existe divers montages pour minimiser l'effet des imperfections mais ce sujet n'entre pas dans le cadre de cette étude. La discussion sera plutôt axée sur certains paramètres de la technologie qui pourraient influencer les performances du commutateur MOS. La dégradation du signal échantillonné vis-à-vis de l'échantillonneur est principalement liée au phénomène d'injection de charges, de variation de la conductance du canal, de la bande passante et de l'incertitude d'ouverture de l'interrupteur. Les effets divers des imperfections pendant un cycle complet d'échantillonnage en tension sont illustrés sur la Figure 2.4-2. Ces phénomènes sont, d'une part, fonction des paramètres technologiques et, d'autre part, fonction de l'horloge d'échantillonnage. Ils peuvent être approximés par des expressions analytiques ou empiriques. Les sections suivantes seront consacrées à l'analyse de ces défauts d'échantillonnage.



**Figure 2.4-2 Défaits d'échantillonnage en tension**

## 2.4.1 Défaits liés à la technologie

### 2.4.1.1 Injection de charges

L'injection de charges du circuit échantillonneur est d'une part provoquée par l'évacuation des charges du canal vers le condensateur d'échantillonnage lors de l'ouverture du commutateur. Les charges piégées sont dans l'ordre de grandeur de  $C_{OX}(V_{GS}-V_{TH})$ . Ces charges supplémentaires s'ajoutent donc au signal déjà acquis pendant la phase d'acquisition. D'autres charges indésirables peuvent aussi être injectées par couplage en provenance de la commutation d'horloge à travers une capacité d'oxyde de recouvrement grille-drain (i.e.  $Q=C_{OL}\cdot\Delta V$ ). En général, l'injection de charges crée un effet de distorsion sur l'échantillonnage parce qu'elle ajoute une erreur en tension au signal échantillonné. En outre, cette erreur de tension peut varier selon l'amplitude du signal d'entrée, donc une fonction non linéaire, ce qui entraîne encore plus de distorsion.

De surcroît, le courant sous-seuil et, de plus en plus, le courant de grille dégradent les performances de l'échantillonneur. Avec les technologies MOS avancées, ces deux courants ne sont plus négligeables. Aujourd'hui, avec une épaisseur d'oxyde inférieure à 2 nm et une longueur du canal inférieure à 100 nm, il est nécessaire d'inclure ces deux courants de fuite dans le modèle de l'injection de charges. Trois modèles sont exposés ci-dessous.

#### « Modèle Sheu »

Une représentation du modèle Sheu est donnée Figure 2.4-3. Le modèle complet se trouve dans [2-26][2-27]. Dans ce modèle, le processus d'injection est divisé en deux phases : la phase *I* où l'horloge  $V_G$  est toujours au dessus de  $V_S+V_{TH}$  avec  $V_S\approx V_{sig}$  et la phase *II* où l'horloge atteint  $V_L=0$ . Pendant la phase *I*, les charges injectées proviennent principalement des charges du canal sous l'oxyde grille alors que pendant

la phase II, c'est la capacité de recouvrement grille-drain qui est le contributeur majeur puisque le canal bloqué empêche l'écoulement de charges à travers l'oxyde vers  $C_L$ . Une expression analytique de l'erreur introduite sur  $C_L$  est formulée par,

$$v_{err,shew} = - \underbrace{\sqrt{\frac{\pi U C_L}{2\beta}} \left( \frac{C_{ol} + \frac{C_{ox}}{2}}{C_L} \right)}_{U = \frac{(V_H - V_L)}{t_f}, \quad \beta = \mu_n C'_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}}} \operatorname{erf} \left( \sqrt{\frac{\beta}{2U C_L}} V_{HT} \right) - \underbrace{\frac{C_{ol}}{C_L} (V_S + V_{TH} - V_L)}_{II}$$

Équation 2.4-1

$C_{ox}$  et  $C_{ol}$  sont respectivement les capacités de l'oxyde de grille et de recouvrement drain/source,<sup>11</sup>. Il est intéressant de constater que la valeur d'erreur donnée par l'expression est une fonction de  $V_S$  i.e. l'amplitude du signal d'entrée. De plus, les charges injectées dépendent de la pente de transition de la tension de grille  $U$  et du coefficient de conductance  $\beta$ . Si la transition est assez longue et la conductance de canal élevée, la plupart des charges de canal se dirigeront vers la source (en supposant une impédance faible de la source). Ainsi, le couplage de la capacité de recouvrement génèrera la majorité de l'injection de charges. En revanche, si la transition est raide, les charges de canal se partageront entre la source et le drain en fonction du rapport de l'impédance<sup>[2-26][2-27]</sup>.

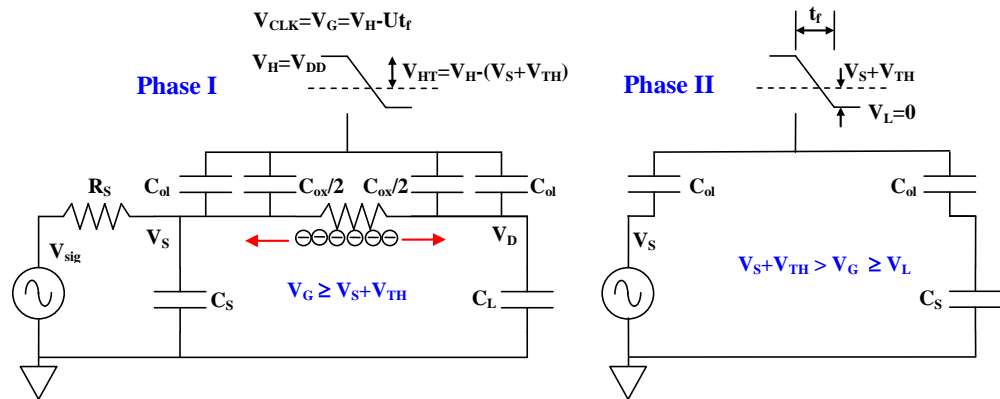


Figure 2.4-3 Modèle Sheu de l'injection de charges

<sup>11</sup> Cette équation ne prend pas en compte l'influence de l'impédance d'entrée  $R_S$  et  $C_S$ .

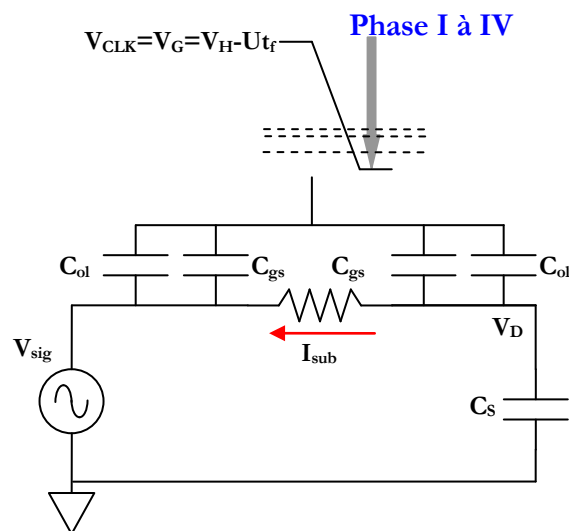


### « Modèle Aghtar »

Dans le modèle Sheu de l'injection de charges, trois hypothèses ont été émises concernant le comportement du commutateur MOS :

- les capacités grille-source  $C_{GS}$  et grille drain  $C_{GD}$  sont égales à  $C_{ox}/2$  pendant la phase d'acquisition et égales à zéro pendant la phase de blocage,
- la tension de seuil  $V_{TH}$  est indépendante de la polarisation,
- et il n'y a pas de courant sous-seuil.

Or,  $C_{GS}$  et  $C_{GD}$  ne sont pas des fonctions échelon mais varient plutôt de manière exponentielle avec la tension de grille. La tension de seuil  $V_{TH}$  est également une fonction de la tension source-substrat  $V_{BS}$ , et le courant sous-seuil n'est pas nul. Donc afin d'améliorer le modèle, Aghtar<sup>[2-28]</sup> a proposé un modèle qui prend en compte les trois points ci-dessus. Sur la Figure 2.4-4, le modèle modifié de l'injection de charges est illustré.



**Figure 2.4-4 Modèle Aghtar de l'injection de charges**

A la différence du modèle *Sheu*, le modèle *Aghtar* consiste en quatre phases. Les phases *I* et *II*, comme dans le cas précédent, représentent l'injection des charges d'oxyde, quand le commutateur MOS est respectivement en régime de forte inversion et de faible inversion. La phase *III* introduit des charges dont l'origine est le courant sous-seuil, qui d'ailleurs annule une partie des charges injectées par la capacité de recouvrement de la grille-source/drain. Le courant sous le seuil n'intervient qu'en régime de faible inversion (i.e. il n'est plus négligeable parmi les charges injectées).

Pendant la dernière phase *IV*, les charges de la couche d'inversion sont libérées. Une partie se retrouve déchargée sur la capacité d'échantillonnage  $C_S$ .

« Modèle du courant de fuite de grille »

Avec le modèle Aghtar, il est désormais possible d'estimer l'erreur due à l'injection de charges en prenant en compte la caractéristique du MOS en régime sous le seuil. Pour les dernières générations de technologie MOS, il faudra aussi tenir compte du courant de fuite de grille afin de modéliser plus précisément l'effet d'injection de charges. En réalité, le courant de grille n'intervient sensiblement qu'en régime sous-seuil. Tant que le MOS reste en régime de forte inversion lorsque l'horloge chute en tension, les charges générées par le courant de grille sont négligeables par rapport aux charges injectées (i.e. phase I et II). En revanche, avec la miniaturisation de la dimension du transistor MOS, ces charges générées par le courant prendront le même ordre de grandeur, voire plus, par rapport aux charges injectées (à partir de la phase II du modèle). Il existe plusieurs équations analytiques [2-29][2-30][2-31][2-32][2-33][2-34] et empiriques [2-35][2-36] qui modélisent le courant tunnel direct. Le courant de grille varie selon les tensions grille-source et grille-drain. En conséquence les charges injectées ne sont pas linéaires, comme pour le courant sous-seuil. L'erreur introduite par l'injection de charges due au courant de fuite de grille est donnée par l'intégrale suivante,

$$V_{err,DT} = \frac{1}{2} \frac{W \cdot L}{C_L} \int_0^{\frac{V_S+V_{TH}}{U}} J_{DT} dt$$

**Équation 2.4-2**

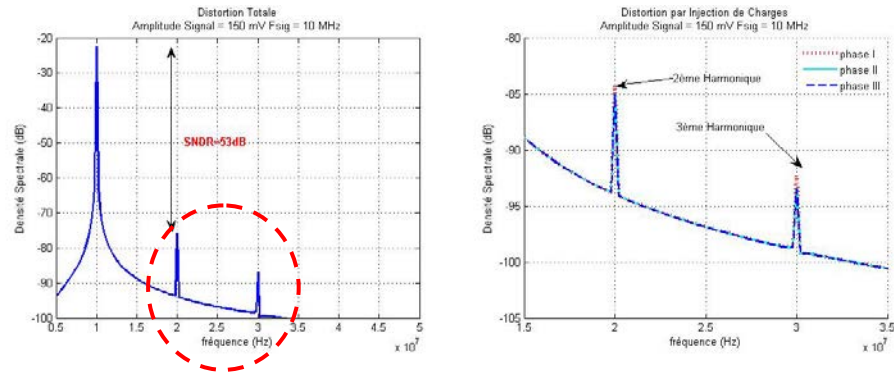
où  $J_{DT}$  et la densité de courant tunnel direct.

#### 2.4.1.2 Distorsion liée à l'injection de charges

Un résultat de simulation est présenté ici pour analyser l'effet de l'injection de charges sur la linéarité du signal échantillonné. Les équations des trois modèles exposés ci-dessus sont combinées pour approximer la quantité des charges non souhaitées générées à l'ouverture du commutateur. Ici, les formules analytiques permettent uniquement de donner des valeurs approximatives. Néanmoins, cette analyse donne un aperçu synthétique sur l'ordre de grandeur de distorsion par injection de charges en technologie CMOS 65 nm. On suppose qu'un transistor de dimension  $W/L=10 \mu\text{m}/65 \text{ nm}$  avec une épaisseur d'oxyde de 2,35 nm est utilisé pour cette analyse. La tension de grille baisse de 1,2 V à 0 V en 100 ps.

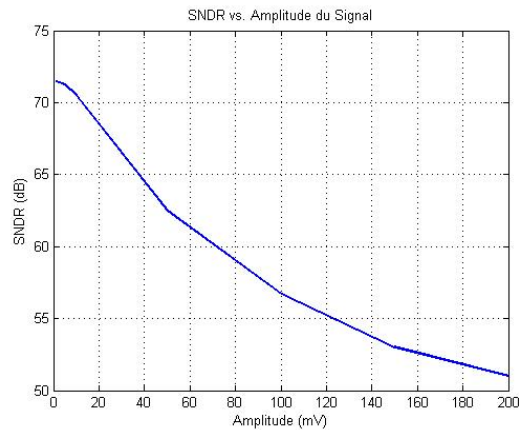
La densité spectrale d'une sinusoïde échantillonnée à 1,2 GHz est tracée Figure 2.4-5. La distorsion occasionnée pendant chaque phase est tracée séparément à gauche et la distorsion totale à droite. La non linéarité engendre des harmoniques du signal

comme le montre le tracé de la densité spectrale de puissance. Dans ce cas précis, le rapport signal à distorsion maximum de l'échantillonneur est de 53 dB.



**Figure 2.4-5 Distorsion par injection de charges**

A mesure que l'amplitude de la sinusoïde augmente, la distorsion par injections de charges devient plus sévère. Sur la Figure 2.4-6, le SNDR est tracé en fonction de l'amplitude du signal.



**Figure 2.4-6 L'effet de l'amplitude sur SNDR**

### 2.4.1.3 Distorsion par modulation de conductance

Une autre source de distorsion existant dans un échantillonneur est la modulation de conductance du canal. La conductance  $g_{DS}$ , ou plutôt la résistance  $r_{DS}$  du canal, varie avec l'horloge et la tension d'entrée. Une corrélation entre cette variation et le signal de sortie peut être représentée par une série de Volterra. Tout d'abord, un modèle simplifié d'un MOS en forte inversion est donné par,

$$I_{DS} \approx \beta(V_{GS} - V_{TH})V_{DS} - \frac{\beta}{2}(V_S^2 - V_D^2)$$

$$g_{DS} \approx \beta(V_{GS} - V_{TH})$$

**James Wei**

Thèse en télécommunication / 2008  
Institut national des sciences appliquées de Lyon

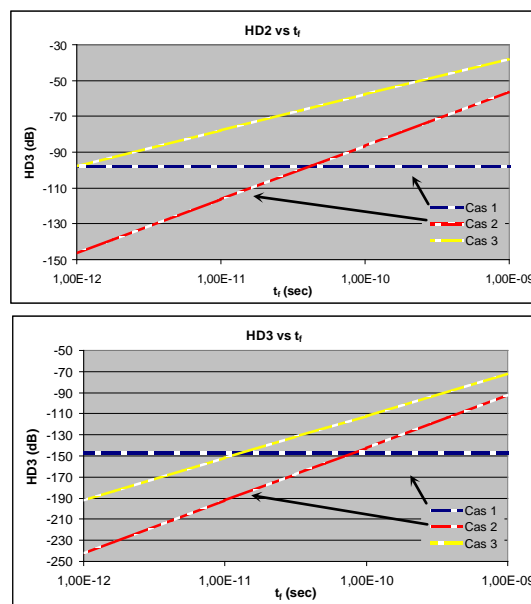
### Équation 2.4-3

En reprenant la Figure 2.4-1, le signal de sortie en fonction de la tension de grille s'exprime par une équation différentielle,

$$g_{DS}(t) \cdot v_o(t) + C_L \frac{dv_o(t)}{dt} = g_{DS}(t) \cdot v_{sig}(t) - \frac{\beta}{2} (v_{in}^2 - v_o^2)$$

### Équation 2.4-4

A partir de cette équation, les coefficients de Volterra sont calculés pour les harmoniques du 2<sup>ème</sup> ordre (HD<sub>2</sub>) et du 3<sup>ème</sup> ordre (HD<sub>3</sub>) du signal de sortie<sup>[2-37]</sup>. Le cas 1 représente une distorsion dominée par les paramètres du MOS (i.e. la pente de front d'horloge infinie), le cas 3 une distorsion dominée par le temps de descente et le cas 2 une distorsion répartie entre les deux. A titre d'exemple, le résultat de simulation de la distorsion en fonction du temps de descente  $t_f$  est tracé sur la Figure 2.4-7. La simulation a été faite en supposant une fréquence du signal égale à 1 GHz, une capacité d'échantillonnage de 1 pF et quelques paramètres typiques du MOS 65 nm.



**Figure 2.4-7 Distorsion harmonique en fonction du temps de descente de l'horloge**

Comme on pouvait s'y attendre, la distorsion du cas 1 ne prend pas en compte  $t_f$  puisque la distorsion reste constante. Le cas 1 est donc la distorsion uniquement due à la modulation de conductance. En revanche, le cas 3 représente la distorsion uniquement provoquée par le front descendant  $t_f$ . On s'aperçoit qu'à partir de  $t_f > 10$  ps, le front d'horloge a un effet plus dominant sur la distorsion par modulation de

conductance. Le cas 2 prend en compte le front d'horloge et les paramètres de MOS. Il est intéressant de constater que la distorsion du cas 2 est inférieure à celle du cas 3. C'est-à-dire que la distorsion totale n'est pas simplement la somme des distorsions des cas 1 et 3 mais plutôt une interaction entre la pente d'horloge et la constante de temps du commutateur.

## 2.4.2 Autres défauts liés à l'opération d'échantillonnage

### 2.4.2.1 Limitation de bande passante

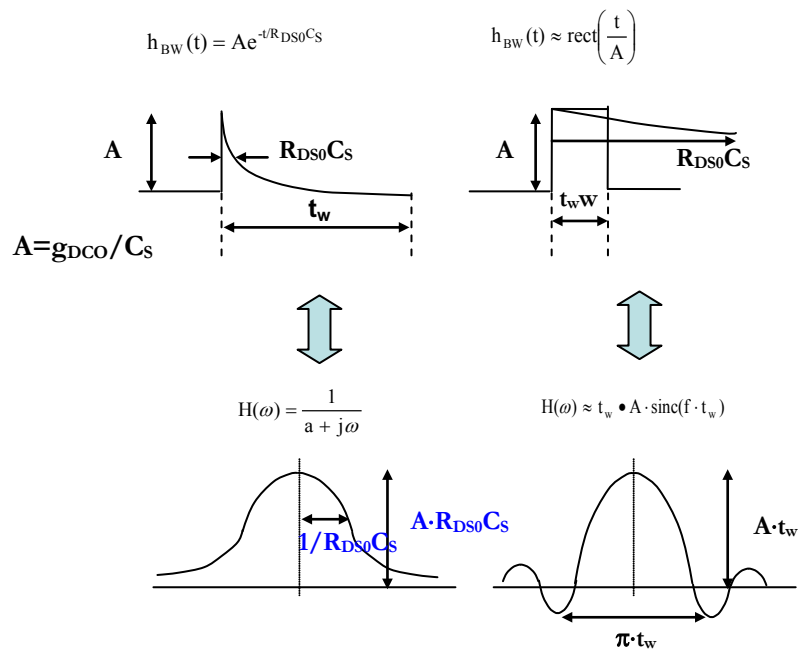
La bande passante utile d'un échantillonneur est différente pour l'échantillonnage en tension et l'échantillonnage en charges. D'abord, la bande passante d'un échantillonneur en tension est surtout conditionnée par le temps d'acquisition  $t_w$ , la conductance et le temps de descente  $t_f$  de l'horloge<sup>[2-38]</sup>.

A titre d'exemple, en supposant que la conductance du commutateur mos  $g_{DS}$  est proportionnelle à la tension de grille  $V_G$  (i.e. l'horloge d'échantillonnage), la fonction de transfert de cette réponse impulsionnelle est représentée graphiquement sur la Figure 2.4-8. Pour la constante de temps du commutateur MOS  $R_{DS0}C_S \ll t_w$ , où  $R_{DS0}$  est la résistance de canal du commutateur fermé, la tension sur la capacité d'échantillonnage  $C_S$  atteint de manière exponentielle sa valeur finale avec une réponse impulsionnelle également exponentielle. Cela signifie que le signal subit un filtrage passe bas avec une fréquence de coupure  $f_{3dB}=1/R_{DS0}C_S$ . En revanche, si la constante de temps de commutateur  $R_{DS0}C_S \gg t_w$ , le signal sur  $C_S$  ne suivra pas complètement le signal d'entrée pendant l'acquisition. La réponse en fréquence sera alors représentée par un sinus cardinal avec une bande passante déterminée par  $t_w$ . Certes, une constante de temps bien inférieure à la durée d'acquisition est en général souhaitable. La réponse fréquentielle de ce dernier exemple est donnée par,

$$H_{BW}(\omega) = \frac{1}{1 + \frac{j\omega C_S}{g_{DS0}}} \left( 1 - \exp \left( -\frac{t_w g_{DS0}}{C_S} \left( 1 + \frac{j\omega C_S}{g_{DS0}} \right) \right) \right)$$

**Équation 2.4-5**

$g_{DS0}$  est la conductance constante pendant la phase d'acquisition. De la même façon, le temps du front descendant  $t_f$  pourra modifier la réponse fréquentielle du commutateur MOS.



**Figure 2.4-8 Une corrélation entre la bande passante de l'échantillonneur et la conductance drain-source de MOS**

Pour un échantillonneur de charge idéal, la bande passante n'est en théorie pas influencée par la modulation de conductance. L'intégration de charges est en général caractérisée par une fonction de transfert en sinus cardinal<sup>[2-39]</sup>. Elle peut être considérée comme une réponse impulsionnelle  $f_u(t)$ , comme illustré sur la Figure 2.4-8. A la différence de l'échantillonnage en tension, cette fonction de transfert est plus influencée par la caractéristique de l'horloge d'échantillonnage que par la caractéristique du MOS. La convolution du signal en courant et la réponse impulsionnelle  $f_u(t)$  sont données par,

$$v_o(nT_s + t_w) = \frac{1}{C_s} \int_{-\infty}^{\infty} i_{\text{sigl}}(t) \cdot f_u(nT_s + t_w - t) dt$$

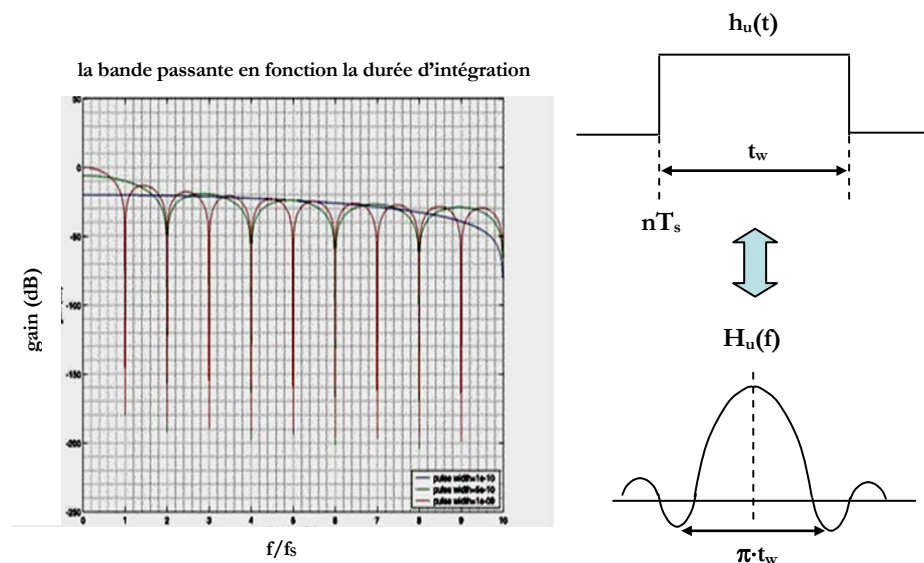
$$f_u(t) = u(-t + t_w) - u(-t)$$

**Équation 2.4-6**

$u(t)$  étant la fonction Heavyside. La réponse fréquentielle de  $f_u(t)$  est donc,

$$H_u(f) = t_w \frac{\sin(\pi f t_w)}{\pi f t_w} = t_w \text{sinc}(\pi f t_w)$$

**Équation 2.4-7**



**Figure 2.4-9 La fonction transfert d'un échantillonneur en charges**

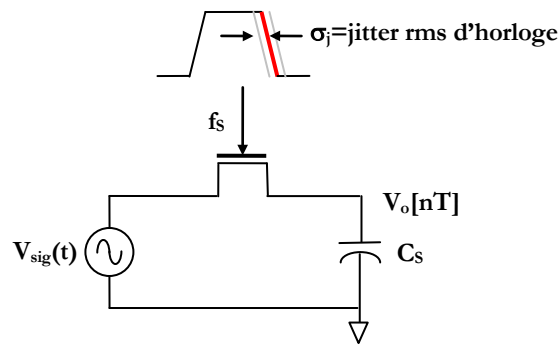
Les réponses fréquentielles d'un échantillonneur en charges en fonction de la durée de l'intégration de courant  $t_w$  sont tracées sur la Figure 2.4-9. En théorie, le seul paramètre à faire varier pour modifier la largeur du filtre sinus cardinal est le facteur de marche de l'horloge  $t_w/T_s$ . ( $T_s$  est la période d'horloge.) Il serait aussi possible de façonner la réponse fréquentielle en modifiant  $f_u(t)$ . A titre exemple, si  $f_u(t)$  est une fonction sinus cardinal, la réponse fréquentielle sera plutôt une fonction *rect*, ce qui donnerait un très bon filtrage.

#### 2.4.2.2 Incertitude de l'ouverture à l'échantillonnage

L'échantillonneur en tension et l'échantillonneur en charges ne connaissent pas la même dégradation par rapport à l'incertitude de l'ouverture à l'échantillonnage. D'abord, il y a généralement deux sources d'incertitude d'ouverture pour un échantillonnage en tension. La première concerne principalement la variation du temps d'acquisition qui est traitée dans [2-40]. La deuxième source d'incertitude a un effet plus néfaste pour le signal échantillonné. Il s'agit de la gigue du front descendant de l'horloge, comme illustré sur la Figure 2.4-10. Pour l'échantillonnage en tension, le SNR maximum peut être estimé par l'équation suivante<sup>[2-41][2-42]</sup> :

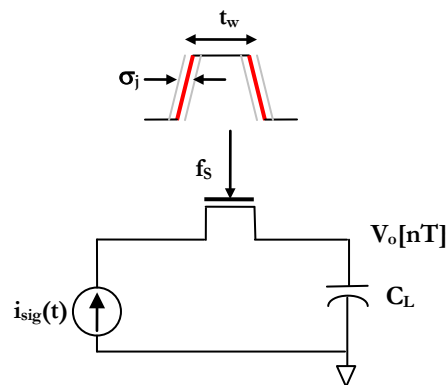
$$SNR_{\max} = -20 \log_{10}(2\pi f_{\text{sig}} \sigma_j)$$

**Équation 2.4-8**



**Figure 2.4-10 L'incertitude de l'ouverture de l'échantillonneur de tension**

On constate que pour l'échantillonneur en tension, le SNR se dégrade à mesure que la fréquence de signal augmente. Evidemment, l'erreur sur la valeur prise de signal d'entrée augmente si le signal varie plus rapidement (i.e. la fréquence de signal est plus élevée). En revanche, pour l'échantillonneur en charges, le SNR est moins influencé par la fréquence de signal d'entrée<sup>[2-39]</sup>. Comme illustré sur la Figure 2.4-11, l'intégration du signal en courant est influencée par les deux fronts d'horloge. Cependant, pour une gigue d'horloge donnée, le SNR de l'échantillonnage en charges sera inférieur à celui de l'échantillonnage en tension, même à une fréquence basse du signal d'entrée.

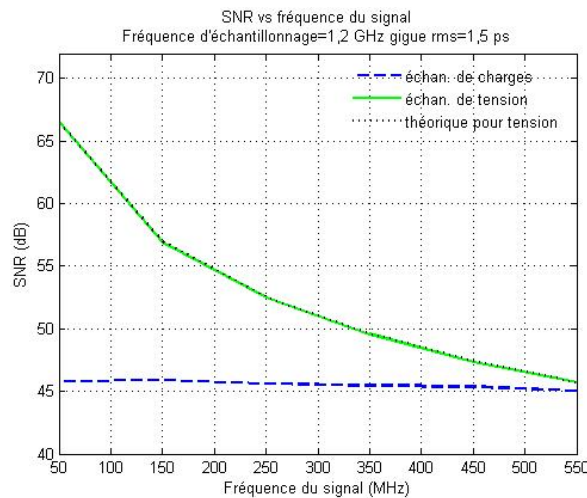


**Figure 2.4-11 L'incertitude de l'ouverture de l'échantillonneur de charges**

Sur la Figure 2.4-12, la comparaison de la limitation en SNR introduite par une gigue de bruit blanc entre l'échantillonnage en tension et en charges est représentée. Le résultat est obtenu à partir d'une simulation temporelle. On voit que pour une fréquence d'entrée faible, le SNR de l'échantillonnage en tension est effectivement meilleur que celui de l'échantillonnage en charges. Cependant, à mesure que la fréquence du signal augmente, le SNR de l'échantillonnage en tension se dégrade



rapidement alors que celui de l'échantillonnage en charges reste presque constant. Il est donc avantageux d'échantillonner en charges quand on échantillonne un signal RF.



**Figure 2.4-12 Comparaison du SNR limité par la gigue d'horloge d'échantillonnage**

## 2.5 Conclusion

Dans ce chapitre, l'état de l'art actuel des récepteurs (à base de mélangeur et à base d'échantillonneur) susceptibles d'être adaptés à la radio logicielle est présenté. Ces deux types de récepteurs fonctionnent largement sur la conversion directe des signaux RF sans sélection de bandes et donc peuvent présenter un cahier des charges difficile à respecter pour certains blocs de la chaîne de réception. Afin de mieux comprendre les avantages et les inconvénients de ces deux types de récepteur, une comparaison du changement de fréquences par mélangeur et par échantillonneur dans un récepteur a été menée. En général, l'échantillonnage introduit davantage de bruit que la transposition par mélangeur à cause du phénomène de repliement. En remplaçant un mélangeur par un échantillonneur pour la transposition de fréquence du récepteur, davantage de gain et de filtrage seront nécessaires en tête du récepteur pour obtenir des performances similaires. Néanmoins, une architecture de récepteur échantillonné représente une solution émergente qui respecte davantage l'esprit de la radio logicielle. L'échantillonnage précoce dans la chaîne de réception facilite la reconfiguration du récepteur au niveau du filtrage et de la sélection de bandes et en même temps, réduit le nombre de blocs analogiques souvent non reconfigurables.

Dans cette optique, différentes architectures de récepteur échantillonné sont exposées. Une étude approfondie sur l'échantillonneur a révélé la sensibilité des performances aux transistors MOS, notamment en technologie submicronique profonde. Les problèmes principaux sont l'injection de charges, le temps

d'acquisition, l'incertitude d'ouverture et le courant de fuite. En particulier, il est préférable d'échantillonner à une fréquence élevée pour minimiser l'effet du courant de fuite. Enfin, en échantillonnant en courant plutôt qu'en tension, une amélioration sur la bande passante d'échantillonneur, sur le filtrage anti-repliement et sur le SNR en fonction de la gigue d'horloge serait possible. Dans le chapitre suivant, nous présenterons une architecture de récepteur échantillonné en prenant en compte les imperfections d'échantillonnage évoquées dans ce chapitre.

# Chapitre 3 : Architecture du récepteur échantillonné

<b>3.1</b>	<b>Introduction.....</b>	<b>56</b>
<b>3.2</b>	<b>Proposition d'architectures du récepteur échantillonné.....</b>	<b>56</b>
3.2.1	Architecture I : Récepteur à échantillonnage direct	
3.2.2	Architecture II : Récepteur à modulation $\Sigma\Delta$	
3.2.3	Architecture III : Récepteur à échantillonnage à fréquence intermédiaire fixe	
<b>3.3</b>	<b>Cahier des charges du récepteur échantillonné.....</b>	<b>62</b>
3.3.1	Architecture	
3.3.2	Cahier des charges	
3.3.3	Niveau de bruit du filtre RF complexe	
3.3.4	Besoin de filtrage	
<b>3.4</b>	<b>Conclusion .....</b>	<b>67</b>

### 3.1 Introduction

Dans les chapitres précédents, différentes réalisations de récepteur échantillonné ont été introduites ainsi qu'une présentation de quelques avancées technologiques qui pourraient faciliter la réalisation de ce type de récepteur. Dans ce chapitre, trois architectures de récepteur échantillonné seront présentées, parmi lesquelles une sera choisie pour la conception d'un récepteur reconfigurable. Enfin, un cahier des charges d'un récepteur échantillonné sera développé pour le développement d'un circuit. En particulier, la norme WCDMA a été choisie pour démontrer la faisabilité de ce type de récepteur pour un signal à large bande.

### 3.2 Proposition d'architectures du récepteur échantillonné

Un schéma global de récepteur échantillonné est donné sur la Figure 3.2-1. La transposition de fréquence par échantillonnage est réalisée après une première sélection de bande, suivie par une amplification. Le bloc « transposition-échantillonnage » devra être reconfigurable selon la fréquence du signal reçu. Les récepteurs échantillonnés peuvent être classés en trois architectures : échantillonnage direct, échantillonnage à fréquence intermédiaire fixe et récepteur à modulation  $\Sigma\Delta$ . Dans les sections suivantes, les avantages et les inconvénients de chacune des trois architectures seront exposés.

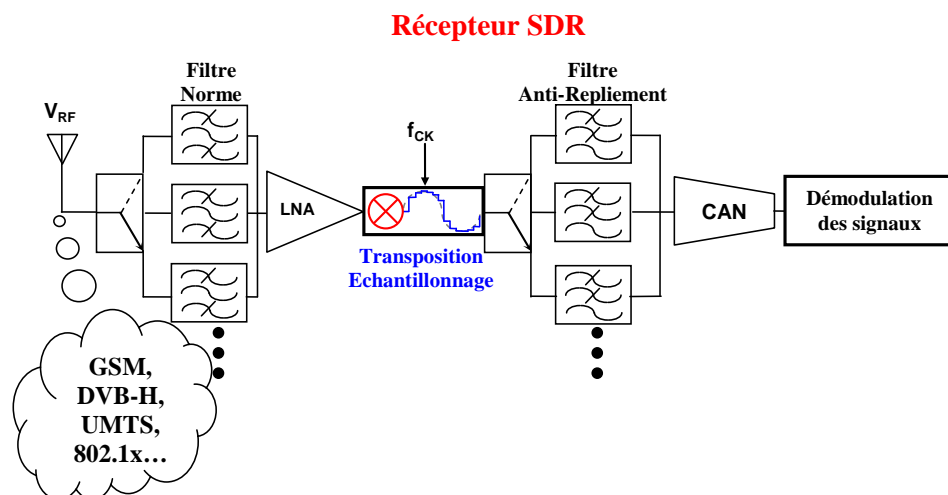


Figure 3.2-1 Un récepteur radio logicielle

#### 3.2.1 Architecture I : Récepteur à échantillonnage direct

L'architecture de la Figure 3.2-2 échantillonne directement le signal d'entrée à la fréquence porteuse sans transposition de fréquence préalable. Au lieu

d'échantillonner à une fréquence deux fois supérieure à la fréquence porteuse du signal (i.e. en respectant le critère Nyquist), une fréquence d'échantillonnage  $f_s$  proche de (ou égale à) la fréquence porteuse du signal est choisie. Ce choix de fréquence nous permet de transposer le signal à une fréquence intermédiaire basse ou nulle en bande de base. Évidemment, le signal doit être filtré à priori par un filtre passe bande pour limiter le repliement de bruit. Cette architecture est souple en termes de reconfigurabilité puisqu'il suffit de commander la fréquence d'échantillonnage  $f_s$  selon la fréquence porteuse du signal pour la transposition de fréquence en bande de base. Une fois dans le domaine échantillonné, le signal est filtré normalement par la technique de filtrage échantillonné à réponse impulsionnelle finie (filtre RIF). Devant le filtre échantillonné, le filtre RF passe bande peut être à la fois un filtre de sélection de bande et un filtre anti-repliement. On peut imaginer utiliser un filtre MEMS RF pour améliorer les performances.

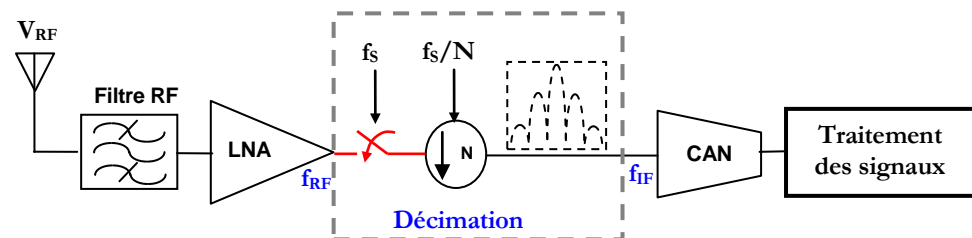
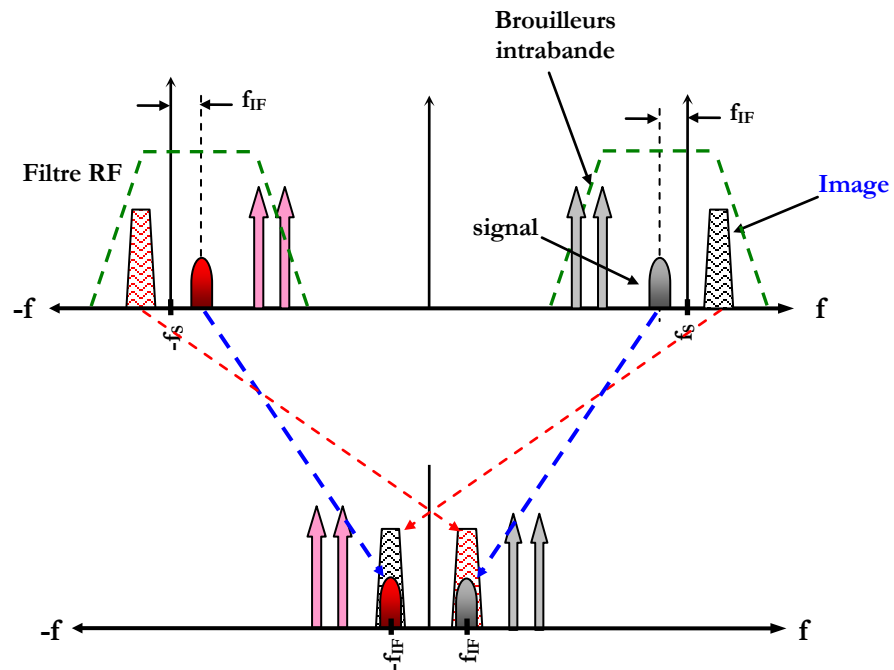


Figure 3.2-2 Architecture I : Échantillonnage direct

Dans le cas d'une transposition de signal RF à basse fréquence intermédiaire  $f_{IF}$ , des brouilleurs intrabande (i.e. les brouilleurs en bande utile du filtre RF) pourraient se présenter comme image du signal utile. Ceci est illustré dans la Figure 3.2-3. On voit sur cette illustration que certains brouilleurs présents en bande utile du filtre RF (i.e. les signaux images) ne peuvent pas être atténués et donc peuvent écraser le signal utile dans le cas d'une transposition à fréquence intermédiaire  $f_{IF}$  non zéro. Afin de minimiser le problème de l'image, une solution serait de réaliser un filtre RIF en quadrature (i.e. filtrage complexe). Une autre solution serait d'ajouter un filtre « notch » intégré ou un filtre coupe bande<sup>[3-1]</sup> devant l'échantillonneur. Pourtant, la fréquence du « notch » doit être ajustable pour s'adapter aux différentes fréquences intermédiaires ( $f_{IF}$ ) qui changent selon le besoin de largeur de bande à transposer. Un filtre « notch » ajustable est difficilement réalisable et n'est donc pas compatible avec une architecture reconfigurable.

Au niveau de l'implémentation du circuit, un échantillonnage à une fréquence très élevée (i.e. RF) entraîne évidemment plus de défauts d'échantillonnage qu'un échantillonnage à basse fréquence. Il a également été montré dans le chapitre 2 qu'en raison du facteur de bruit, un fort gain est nécessaire devant l'échantillonneur, ce qui impose de fortes contraintes de gain et de linéarité sur le LNA seul.



**Figure 3.2-3 Problème d'image**

### 3.2.2 Architecture II : Récepteur à modulation $\Sigma\Delta$

Dans cette architecture, un convertisseur analogique numérique  $\Sigma\Delta$  passe bande est positionné après le premier mélangeur. Le premier changement de fréquence ramène tous les signaux RF à une fréquence intermédiaire fixe. Cela nous permet d'ajouter un deuxième filtre passif après le mélangeur dans la chaîne de réception. Par conséquent, une fréquence intermédiaire fixe permet d'améliorer la sélectivité de bande dans le récepteur et peut aider à réduire la contrainte de dynamique du modulateur qui suit. Un modulateur  $\Sigma\Delta$  à temps continu est privilégié, compte tenu de la fréquence intermédiaire très élevée<sup>12</sup>. Le signal sera quantifié puis traité numériquement à la sortie du convertisseur.

Comme pour l'architecture I, on peut imaginer d'utiliser un filtre MEMS pour tous les filtres passifs dans le récepteur pour atteindre de meilleures performances. De plus, les résonateurs MEMS pourraient également être exploités pour réaliser les résonateurs dans le modulateur  $\Sigma\Delta$  à temps continu. Les coefficients des filtres dans la fonction de transfert du modulateur  $\Sigma\Delta$  à temps continu doivent être assez précis. Malheureusement, il sera difficile de garantir cette précision à cause de la dispersion de fabrication des résonateurs MEMS, qui est à l'origine des imperfections exposées précédemment dans le chapitre 1. Il serait donc nécessaire de mettre en place un

<sup>12</sup> Un OTA à très large bande serait nécessaire. De plus, l'erreur introduite par l'échantillonneur en dehors de la boucle ne sera pas filtrée par la fonction transfert du filtre.

système de compensation de ces dérives ainsi qu'un asservissement pour le contrôler. Ce point est intéressant mais n'a pas été privilégié dans le cadre de cette thèse.

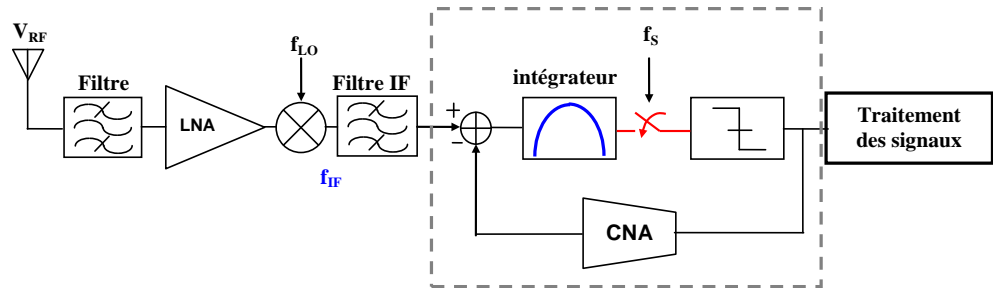


Figure 3.2-4 Architecture II : Récepteur à modulation  $\Sigma\Delta$

### 3.2.3 Architecture III : Récepteur à échantillonnage à fréquence intermédiaire fixe

Cette architecture présente un compromis entre les architectures I et II tout en minimisant les inconvénients qui s'y trouvent. Comme dans l'architecture II, le signal RF est transposé à une fréquence intermédiaire fixe. Ensuite, le signal est passé dans le domaine échantillonné et filtré par un filtre RIF ou IIR, comme proposé dans l'architecture I. Or, le gain est augmenté par l'intermédiaire du mélangeur et la contrainte de dynamique est réduite par le biais d'un filtre IF. L'échantillonnage à une fréquence intermédiaire fixe nous permet d'obtenir la sélectivité exigée dans un récepteur reconfigurable.

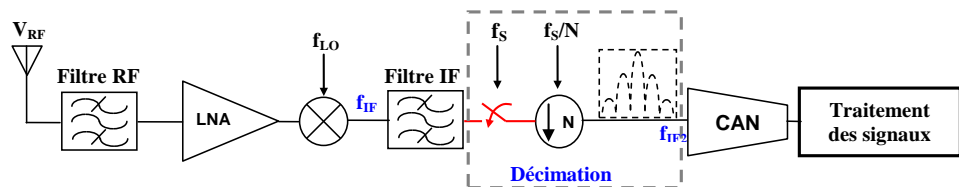


Figure 3.2-5 Architecture III : Récepteur numérisé à fréquence intermédiaire fixe

De même que l'architecture I, l'architecture III présente un problème de fréquence image, comme illustré sur la Figure 3.2-6. L'image du premier changement de fréquence sera facilement éliminée par le filtre RF et le filtrage passe bas inhérent au LNA (et au mélangeur) si la fréquence intermédiaire  $f_{IF}$  est élevée. Pourtant, les signaux image  $2p$  peuvent provoquer un problème d'image lors d'une deuxième transposition s'ils ne sont pas suffisamment atténués par le filtre IF.

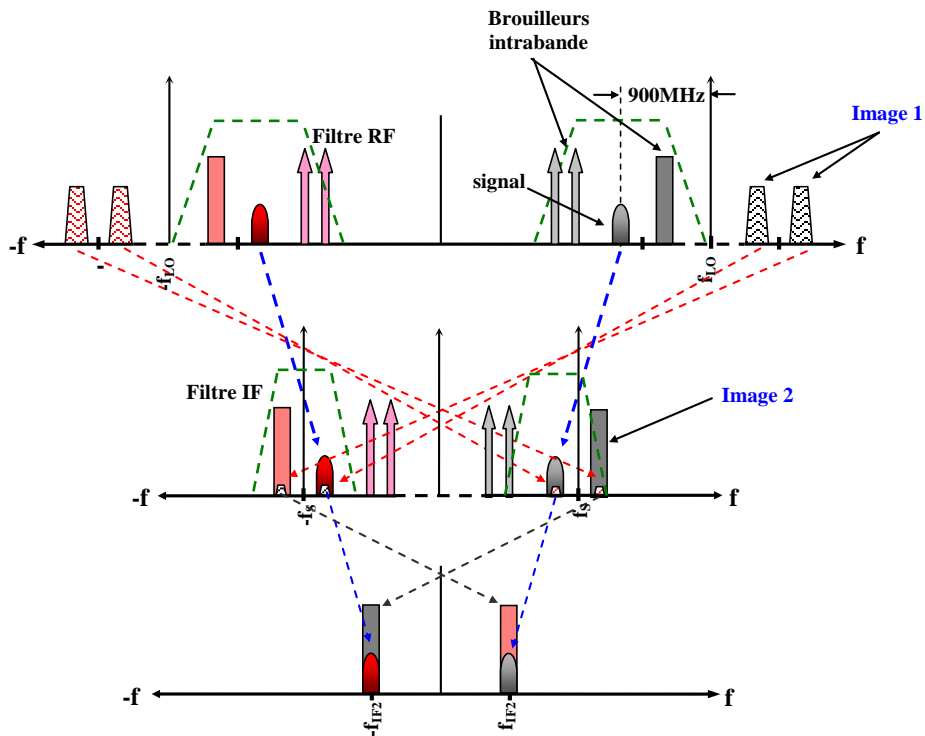


Figure 3.2-6 Problème d'image pour l'architecture II et III

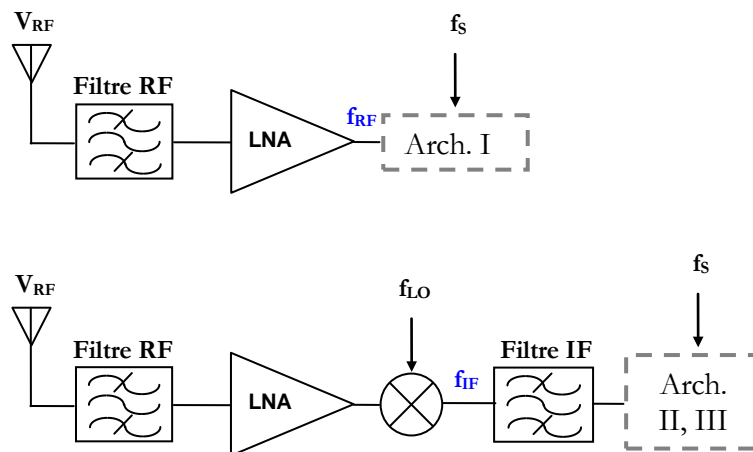
Pour une comparaison quantitative, un cahier des charges défini à partir du profil des brouilleurs de la norme WCDMA est présenté dans le Tableau 3.2-1. Les chiffres dans le tableau représentent les spécifications à atteindre pour les blocs inclus dans le rectangle en pointillés de la Figure 3.2-7.

Tableau 3.2-1 Comparaison des architectures du récepteur radio logicielle

		Fréquence d'horloge (MHz)	Gain mini. <sup>13</sup> (dB)	Atténuation min. d'image (dB)	Facteur de bruit max. (dB)	Dynamique (dB)
I	Echantillonnage Direct	2140	40	68	14	71
II	Modulation $\Sigma\Delta$	900	<del>X</del>	63	23	59
III	Echantillonnage à FI fixe	900	49	63	23	59

<sup>13</sup> En supposant une puissance maximum de 13 dBm à la sortie de récepteur





**Figure 3.2-7 Configuration récepteur numérisé pour la comparaison d'architecture**

On constate rapidement que le besoin d'atténuation du signal image et la contrainte de dynamique sont plus forts pour l'architecture I. En revanche, les chiffres sont identiques pour les architectures II et III puisque la même configuration frontale se présente dans les deux cas. Une autre comparaison plus qualitative est donnée dans le Tableau 3.2-2. Ici, on voit que l'architecture à échantillonnage à FI fixe (i.e. III) représente le meilleur compromis parmi les trois architectures étudiées selon les critères donnés dans le tableau. Elle est plus adaptée à la reconfiguration, offre une meilleure sélectivité (i.e. filtrage) et, en même temps, reste capable de traiter un signal à large bande. De plus, cette architecture est moins sensible à la gigue d'horloge par rapport à l'architecture à modulateur  $\Sigma\Delta$ . Enfin, au niveau de l'implémentation du circuit intégré, l'échantillonnage à une fréquence porteuse plus faible favorisera une conception plus simple. Ainsi, nous avons choisit d'orienter le travail de thèse vers une architecture de récepteur basée sur le sous échantillonnage à une fréquence intermédiaire fixe.

**Tableau 3.2-2 Comparaison d'architectures du récepteur numérisé**

Architecture	Méthode d'échantillonnage	Reconfiguration	Filtrage de brouilleurs	Sensitivité gigue	Bande passante
Echantillonnage Direct	sous-échan.	√√√	√	√	√
Modulation $\Sigma\Delta$	sous-échan.	√	√√√	√	√
Echantillonnage à FI fixe	sous-échan.	√√	√√√	√√	√√√

La section suivante présente le cahier des charges des blocs associés à cette architecture.

### 3.3 Cahier des charges du récepteur échantillonné

#### 3.3.1 Architecture

Une architecture de récepteur basé sur la solution III est donc considérée ici. Outre l'échantillonnage à une fréquence intermédiaire fixe, ce récepteur propose aussi un filtre complexe échantillonné en quadrature. Le cahier des charges des blocs fonctionnels est présenté sur la Figure 3.3-1. Ce cahier des charges est adapté à un récepteur WCDMA. Dans cette architecture, le signal d'entrée est d'abord amplifié par un LNA et filtré par un filtre RF pour limiter la bande de réception. Le filtre RF peut être un filtre BAW intégré au sein du LNA<sup>[3-2]</sup>. Ensuite, un mélangeur transpose la fréquence porteuse de 2,14 GHz du signal à une fréquence intermédiaire autour de 920 MHz. Puis le signal est échantillonné à 1.2288 GHz<sup>14</sup>. Une bande passante de 20 MHz à la fréquence intermédiaire a été définie pour le gabarit du filtre anti-repliement qui précède le filtre échantillonné. Ce choix est basé sur la bande passante minimum théorique d'un filtre FBAR à cette fréquence intermédiaire.

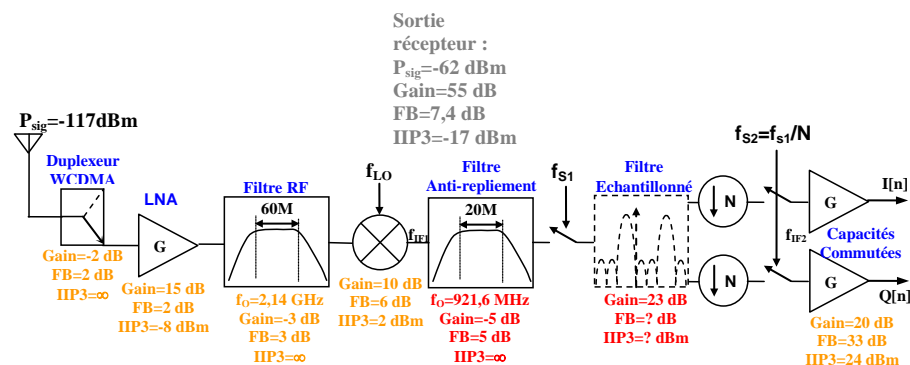


Figure 3.3-1 Récepteur échantillonné pour WCDMA

Les chiffres donnés sur la Figure 3.3-1 sont obtenus à partir de certaines hypothèses sur les spécifications du récepteur et la faisabilité des blocs individuels. D'ores et déjà, les hypothèses émises sur la figure de mérite du duplexeur, du LNA, du filtre RF et du mélangeur sont basées sur les performances réalisables aujourd'hui, donc raisonnables. De plus, le cahier des charges global du récepteur échantillonné, donné dans la section suivante, est obtenu à partir du profil des brouilleurs du standard WCDMA, illustré sur la Figure 3.3-2. En particulier, nous avons choisit une dynamique inférieure à 61 dB à l'entrée du CAN (i.e. à la sortie du bloc à capacités commutées). Autrement dit, il faut filtrer suffisamment les brouilleurs hors bandes de telle sorte qu'ils soient au moins au même niveau que les brouilleurs intrabande.

<sup>14</sup> La fréquence d'échantillonnage est le multiple du taux de symbole du signal WCDMA.

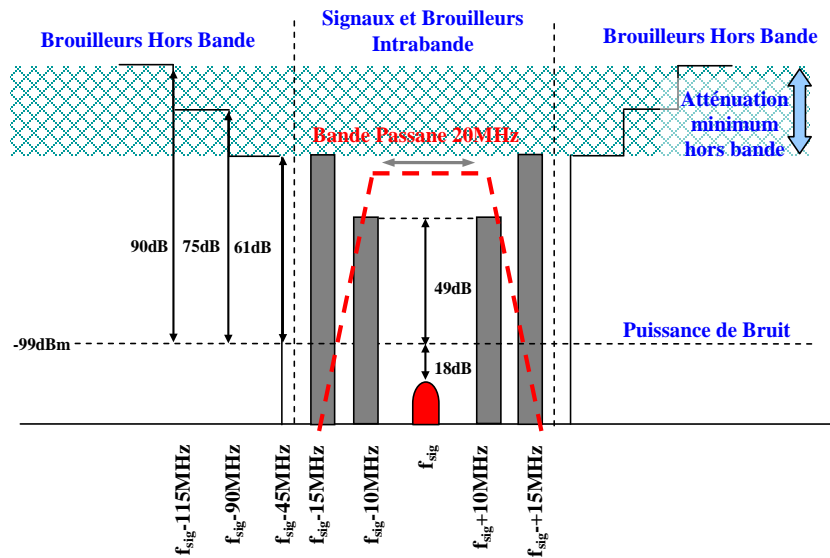


Figure 3.3-2 Le profil des brouilleurs de la norme WCDMA

### 3.3.2 Cahier des charges

Dans le Tableau 3.3-1 est présenté le cahier des charges des blocs de l'architecture du récepteur échantillonné pour la norme WCDMA. Les performances pour chaque bloc et pour le récepteur sont données en termes de gain, de facteur de bruit, de réjection d'image et d'intermodulation du 3<sup>ème</sup> ordre.

**Tableau 3.3-1 Cahier des charges du récepteur échantillonné WCDMA**

Fréquence (MHz)	Puissance d'entrée (dBm)		Duplexeur	LNA	Filtre RF	Mélangeur	Filtre IF	Filtre RIF	Capa. Comm.	Récepteur
			2140	2140	2140	916	916	916	5	5
2140	-119	Gain signal (dB)	-2	15	-3	10	-5	23	20	58
		Facteur de bruit (dB)	2	2	3	6	5	20	33	7,4
		Bruit cascadié (dBm)	-108 <sup>15</sup>	-103	-84	-87	-76	-81	-54	-34
<b>Réjection image<sup>16</sup></b>										
image à 3,94 GHz	-35	Gain (dB)	-20	-30	-30	-20	—	—	—	-100
image à 926 MHz	-56	Gain (dB)	-2	15	-3	10	-5	-29	18	4
<b>Filtrage Brouilleurs</b>										
à 115 MHz de f <sub>RF</sub> (dB)	-15	Gain (dB)	-25	15	-20 <sup>17</sup>	10	-34	-7	20	-41
à 90 MHz de f <sub>RF</sub> (dB)	-30	Gain (dB)	-20	15	-27	10	-32	4	13	-37
à 45 MHz de f <sub>RF</sub> (dB)	-44	Gain (dB)	-2	15	-5	10	-18	18,5	19	37,5
à 15 MHz de f <sub>RF</sub> (dB)	-44	Gain (dB)	-2	15	-3	10	-5	22,5	15	52,5
à 10 MHz de f <sub>RF</sub> (dB)	-56	Gain (dB)	-2	15	-3	10	-5	23	18	56
<b>IIP3 : Point d'interception du 3<sup>ème</sup> ordre à l'entrée</b>										
		IIP3 (dBm)	35	-8	35	2	35	4,4	24	-17,9

Pour le facteur de bruit, la valeur maximale tolérable sur l'ensemble de la chaîne de réception est de 9 dB pour la norme WCDMA. Le facteur de bruit du filtre IF et du filtre échantillonné est dérivé en fonction d'un facteur de bruit de 7,4 dB du récepteur pour assurer une certaine marge de bruit. Pour la mesure de l'intermodulation du 3<sup>ème</sup> ordre, deux brouilleurs de -41 dBm et -29 dBm sont générés à 10 MHz et 15 MHz, respectivement, de la fréquence porteuse du signal souhaité. Pour le cahier des charges, le besoin de linéarité est réparti parmi les blocs de manière raisonnable afin de ne pas mettre une contrainte inabordable pour un bloc ou un autre. En ce qui concerne la réjection de fréquence image, le premier signal image à 3,94 GHz dû à la transposition fréquentielle par mélangeur est suffisamment atténué par le filtrage passe bande des blocs frontaux sans recourir à un filtrage complexe analogique (i.e. mélangeur à réjection image). La deuxième image due à la deuxième transposition par échantillonnage se trouve à 10 MHz de la porteuse du signal (avec la fréquence intermédiaire de 5 MHz à la bande de base). Cette image est un brouilleur intrabande et ne peut pas être réduite par filtrage normal. Il faut donc exploiter le filtre complexe échantillonné pour la rejection d'image. Enfin, pour la norme WCDMA, il est spécifié

<sup>15</sup> Plancher de bruit spécifié pour WCDMA à l'entrée. Puissance normalisée sur une impédance de 50 Ω.

<sup>16</sup> En tenant compte de la largeur de bande de 20 MHz

<sup>17</sup> Une remontée d'atténuation à une fréquence éloignée est souvent observée pour le filtre du type BAW. Ici, l'hypothèse de filtrage est basée sur un filtre BAW mesuré.

que le signal utile peut tolérer un maximum de 12 dB au-dessus de la puissance du signal image ainsi que de l'intermodulation pour la modulation du spectre étalé [3-3][3-4][3-5]. Néanmoins, la contrainte du filtrage est très exigeante pour l'architecture proposée.

### 3.3.3 Niveau de bruit du filtre RF complexe

Avec un maximum de -54 dBm de la puissance de bruit à la sortie du filtre RIF complexe, avec 23 dB de gain, le bruit maximum tolérable à l'entrée du filtre est donc de -77 dBm. Puisque la puissance de bruit à l'entrée est -81 dBm, la puissance maximum tolérable générée par le filtre RIF complexe est donc de -79,2 dBm ou 24,5  $\mu\text{V}_{\text{rms}}$  référencée à l'entrée. Le facteur de bruit du filtre RIF complexe est 20 dB. De plus, la dynamique minimum exigée à la sortie du filtre RIF sera la différence entre le brouilleur maximum à 15 MHz de porteuse et le bruit :  $(-6,5 \text{ dBm} - (-54 \text{ dBm})) = 47,5 \text{ dB}$ . Pour la sortie du récepteur, il sera de  $(8,5 \text{ dBm} - (-34 \text{ dBm})) = 42,5 \text{ dB}$ .

### 3.3.4 Besoin de filtrage

Puisque la porteuse du signal est sous échantillonnée par rapport à la fréquence d'échantillonnage, le filtrage anti-repliement est crucial pour minimiser le bruit de repliement. Un critère majeur d'optimisation du filtrage sera l'atténuation maximum des brouilleurs hors bandes, qui diminue à la fois l'intermodulation et le signal image dans le cas de fréquences intermédiaires non nulles. Le profil du filtrage anti-repliement exigé est tracé sur la Figure 3.3-3.

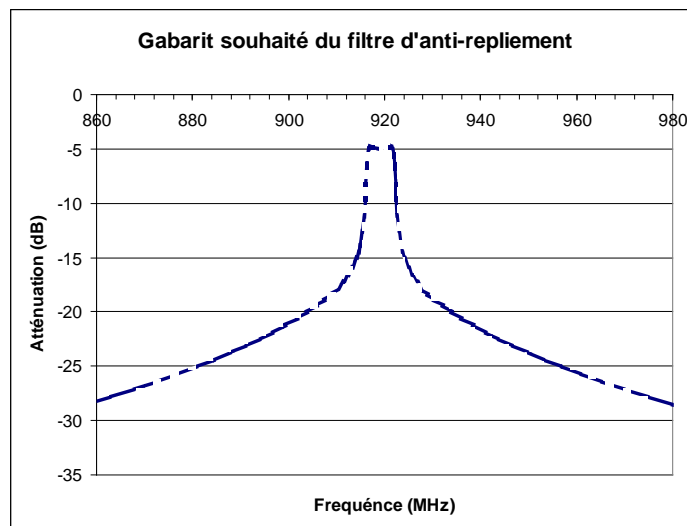


Figure 3.3-3 Profil du filtre d'anti-repliement

Pour le filtre échantillonné complexe, il y a trois critères à considérer : le gain, la réjection et le facteur de décimation. Pour la norme WCDMA, la puissance du signal image ne doit pas être supérieure à -99 dBm (i.e. supérieure de 18 dB par rapport au signal utile au moment de désétaler le spectre). Un profil de solution que nous proposons pour la fonction de transfert du filtre échantillonné est donné sur la Figure 3.3-4. L'échelle fréquentielle est normalisée à la fréquence d'échantillonnage. La courbe de droite est la figure élargie de la bande où est située l'image pour mieux montrer la largeur de bande et l'atténuation correspondante.

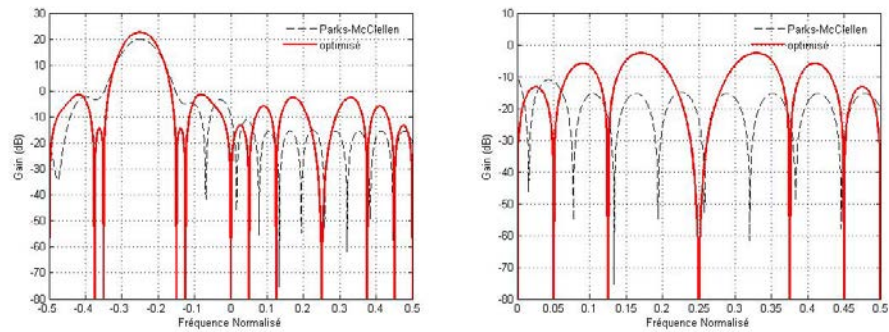
Les caractéristiques de gain et de filtrage du filtre échantillonné sont déterminées par les coefficients appliqués ainsi que la longueur de décimation. Ces deux paramètres sont programmables, et donc offrent une certaine souplesse vis-à-vis de la dynamique du récepteur. Pour l'architecture proposée, la fonction transfert adaptée pour la norme WCDMA a été d'abord conçue par l'intermédiaire de l'algorithme Parks-McClellan en Matlab™. La fonction de transfert est optimale mais nécessite des coefficients réels avec des chiffres significatifs bien précis, ce qui n'est pas souhaitable pour une implémentation avec des composants analogiques. Une deuxième optimisation a été menée pour obtenir les coefficients de rapport entier. Cette étape de simplification est nécessaire pour que les coefficients soient réalisables. La fonction transfert obtenue par l'algorithme Parks-McClellan et la version optimisée sont données ci-dessous :

$$\begin{aligned} H_{Parks-McClellan}(z) = & (0,1092 - j0,1618)z^{-15} + (-0,1796 - j0,1967)z^{-14} + (-0,2559 + j0,2287)z^{-13} \\ & + (0,3381 + j0,2895)z^{-12} + (0,4022 - j0,4865)z^{-11} + (-0,6074 - j0,6016)z^{-10} \\ & + (-0,7801 + j0,7111)z^{-9} + (0,8074 + j0,8513)z^{-8} + (0,8074 - j0,8513)z^{-7} \\ & + (-0,7801 - j0,7111)z^{-6} + (-0,6074 + j0,6016)z^{-5} + (0,4022 + j0,4865)z^{-4} \\ & + (0,3381 - j0,2895)z^{-3} + (-0,2559 - j0,2287)z^{-2} + (-0,1796 + j0,1967)z^{-1} \\ & + (0,1092 + j0,1618) \end{aligned}$$

$$\begin{aligned} H_{optimisé}(z) = & (0,2 - j0,2)z^{-15} + (-0,2 - j0,2)z^{-14} + (-0,4 + j0,4)z^{-13} + (0,6 + j0,6)z^{-12} \\ & + (0,6 - j0,6)z^{-11} + (-0,8 - j0,8)z^{-10} + (-0,8 + j0,8)z^{-9} + (1,0 + j1,0)z^{-8} \\ & + (1,0 - j1,0)z^{-7} + (-1,0 - j1,0)z^{-6} + (-0,8 + j0,8)z^{-5} + (0,6 + j0,6)z^{-4} \\ & + (0,6 - j0,6)z^{-3} + (-0,4 - j0,4)z^{-2} + (-0,4 + j0,4)z^{-1} + (0,2 + j0,2) \end{aligned}$$

### Équation 3.3-1

Les réponses fréquentielles des deux fonctions de transfert sont tracées sur la Figure 3.3-4. On peut constater qu'après l'optimisation, l'atténuation de la première bande de repliement et de la bande image est inférieure à celle de la version optimisée. En revanche, la réjection d'image est bien supérieure pour la version optimisée.



**Figure 3.3-4 Profil du filtre échantillonné complexe**

### 3.4 Conclusion

Dans ce chapitre, trois solutions architecturales de récepteur échantillonné sont présentées et comparées. Parmi celles-ci, l'architecture de récepteur échantillonné à fréquence intermédiaire fixe est considérée comme la plus adaptée pour le récepteur reconfigurable, d'un point de vue de la faisabilité de la conception et de l'exploitation des technologies MEMS. Le filtre échantillonné à réponse impulsionnelle finie (RIF) est une partie primordiale d'un récepteur échantillonné puisqu'il offre simultanément les fonctionnalités de gain, de filtrage et de transposition de fréquence. Pour cette raison, la théorie fondamentale du filtrage complexe a été utilisée en adoptant notamment un filtrage RIF en quadrature qui est indispensable pour la réjection d'image lors du changement de fréquence. Ainsi, un récepteur échantillonné reconfigurable à base de l'échantillonnage à une fréquence intermédiaire fixe est proposé dans ce chapitre en tant que récepteur adapté à la radio logicielle. L'implémentation du filtrage complexe pour la réjection d'image est particulièrement adaptée au récepteur proposé.

Afin de valider les performances du récepteur proposé, un cahier des charges de réception est défini à partir du profil de brouilleurs de la norme WCDMA. Le signal RF est d'abord transposé à une première fréquence intermédiaire fixe de 900 MHz par un mélangeur classique. Cette fréquence est privilégiée afin de maximiser la réjection d'image lors du premier changement de fréquence sans recourir à un filtrage RF exigeant ou à un mélangeur en quadrature. Dans cette étude théorique, un filtre FBAR à fréquence intermédiaire qui suit le mélangeur est inclus dans le récepteur proposé en tant que filtre anti-repliement. Une bande passante de 20 MHz pour ce filtre est choisie au lieu de la largeur de canal WCDMA de 5 MHz. Ceci est dû à la largeur minimum réalisable de bande passante qu'impose la technologie FBAR à cette fréquence intermédiaire. Davantage de gain et de filtrage sont ensuite obtenus dans le domaine échantillonné par filtrage RIF. Les coefficients du filtre RIF peuvent être choisis en fonction du besoin de filtrage selon le profil des brouilleurs. Autrement dit, le récepteur proposé est reconfigurable en termes de sélectivité par le biais d'une

reprogrammation des coefficients du filtre RIF complexe. Le récepteur échantillonné est donc proposé dans l'optique des besoins d'une radio logicielle et de l'intégration complète en circuits intégrés.

**James Wei**

Thèse en télécommunication / 2008  
Institut national des sciences appliquées de Lyon

68



# Chapitre 4 : Réalisation du récepteur échantillonné

<b>4.1</b>	<b>Introduction.....</b>	<b>70</b>
<b>4.2</b>	<b>Filtre avec Echantillonnage de charge.....</b>	<b>70</b>
<b>4.3</b>	<b>Implémentation du filtre RIF complexe.....</b>	<b>71</b>
4.3.1	Circuit à réseaux de capacités commut	
4.3.2	Capacités commutées avec intégrateur actif	
4.3.4	Résistances commutées en entrée	
<b>4.4</b>	<b>Cahier des charges du filtre RIF complexe .....</b>	<b>78</b>
4.4.1	Filtre RIF complexe avec échantillonneur de charges	
4.4.2	Cahier des charges de l'échantillonneur de charges et de l'amplificateur à transconductance	
4.4.2.1	<i>Fonction de transfert du filtre RIF complexe</i>	
4.4.2.2	<i>Analyse du bruit du filtre RIF complexe</i>	
4.4.2.3	<i>Valeur de la transconductance et de la capacité d'échantillonnage</i>	
4.4.2.4	<i>Linéarité et dynamique</i>	
<b>4.5</b>	<b>Amplificateur à transconductance.....</b>	<b>84</b>
4.5.1	Etat de l'art de l'amplificateur à transconductance	
4.5.1.1	<i>Structure à base d'inverseur</i>	
4.5.1.2	<i>Structure à base de la transconductance Gilbert</i>	
4.5.1.3	<i>Amplificateur à transconductance avec boucle de rétroaction interne</i>	
4.5.1.4	<i>Structure hybride</i>	
<b>4.6</b>	<b>Proposition d'un nouvel amplificateur à transconductance .....</b>	<b>90</b>
4.6.1	Défauts de l'amplificateur à transconductance pour l'échantillonnage en charges	
4.6.2	Impact de la perte de l'intégration sur le filtre RIF	
<b>4.7</b>	<b>Conclusion .....</b>	<b>98</b>

## 4.1 Introduction

Dans ce chapitre, une analyse des structures d'échantillonneur sera menée et il sera montré que, pour l'architecture de récepteur échantillonné proposée, l'échantillonnage en charges est préférable à l'échantillonnage en tension. Ensuite, les détails d'implémentation du circuit seront abordés : le choix de l'architecture du filtre échantillonné, la conception de l'échantillonneur bloqueur et le cahier des charges complet du filtre complexe échantillonné. Au cours de cette étude, une nouvelle structure d'amplificateur à transconductance est également proposée ; celle-ci s'adapte mieux au récepteur échantillonné proposé et à la technologie CMOS 65 nm choisie pour la réalisation.

## 4.2 FILTRE RIF avec échantillonneur de charges

Une comparaison de l'échantillonneur de tension et de l'échantillonneur de charges a été présentée dans le chapitre 2. Le Tableau 4.2-1 résume les avantages et les inconvénients de chaque méthode d'échantillonnage.

Tableau 4.2-1 Comparaison de S/H de tension et S/H de charges

	S/H de tension	S/H de charges
bruit circuit S/H	<ul style="list-style-type: none"><li>• bruit de commutateur <math>kT/C_S</math></li></ul>	<ul style="list-style-type: none"><li>• bruit de commutateur</li><li>• amplificateur à transconductance</li></ul>
filtrage intrinsèque	<ul style="list-style-type: none"><li>• filtre passe bas</li></ul>	<ul style="list-style-type: none"><li>• filtre sinus cardinal/anti-repliement</li></ul>
3 dB bande passante	<ul style="list-style-type: none"><li>• <math>1/R_m C_S</math></li><li>• fonction de la résistance de commutateur et de la capacité d'échantillonnage</li></ul>	<ul style="list-style-type: none"><li>• <math>0,44/f_s</math></li><li>• fonction de la fréquence d'échantillonnage</li></ul>
injection de charges	<ul style="list-style-type: none"><li>• influence sur le front de la prise de décision</li></ul>	<ul style="list-style-type: none"><li>• influence sur les deux fronts d'horloge</li></ul>
gigue d'horloge	<ul style="list-style-type: none"><li>• SNR une fonction de <math>f_{sig}</math></li></ul>	<ul style="list-style-type: none"><li>• SNR n'est pas une fonction de <math>f_{sig}</math></li><li>• mais pour <math>f_{sig}</math> faible, SNR pire que S/H de tension</li></ul>

Pour le récepteur échantillonné proposé, l'échantillonnage sera effectué à une fréquence de plus de 1 GHz. A cette fréquence, la dégradation de SNR due à la gigue d'horloge sera plus importante pour l'échantillonnage en tension qu'en charges. D'un point de vue technologique, la résistance du commutateur MOS ne pourra pas être négligeable compte tenu de la tension de seuil élevée par rapport à la tension d'alimentation. Etant donné que la performance de l'échantillonneur de tension est bien plus dépendante des paramètres technologiques MOS, l'échantillonnage en charges sera donc privilégié. Il sera également démontré plus tard que

l'échantillonnage en charges offre plus de possibilité pour permettre la reconfiguration de filtre RIF

---

### 4.3 Implémentation du filtre RIF complexe

Le filtre RIF complexe par intégration de courant nécessite un amplificateur à transconductance. Etant donné que la fréquence intermédiaire après le mélangeur est très élevée, pratiquement 1 GHz<sup>18</sup>, la conception de l'amplificateur à transconductance s'avère beaucoup plus difficile que pour une architecture avec une basse fréquence intermédiaire. Nous allons étudier dans cette section l'implémentation physique des coefficients du filtre RIF complexe.

Les coefficients du filtre établissent le gabarit de filtrage. Le choix des valeurs des coefficients est donc un compromis entre l'atténuation des brouilleurs et l'atténuation des bandes de repliement. L'architecture du filtre RIF impose des contraintes sur les valeurs réalisables, il est donc important de faire un choix judicieux. Quelques architectures de réalisation de ces coefficients et les contraintes associées sont discutées ci-après.

---

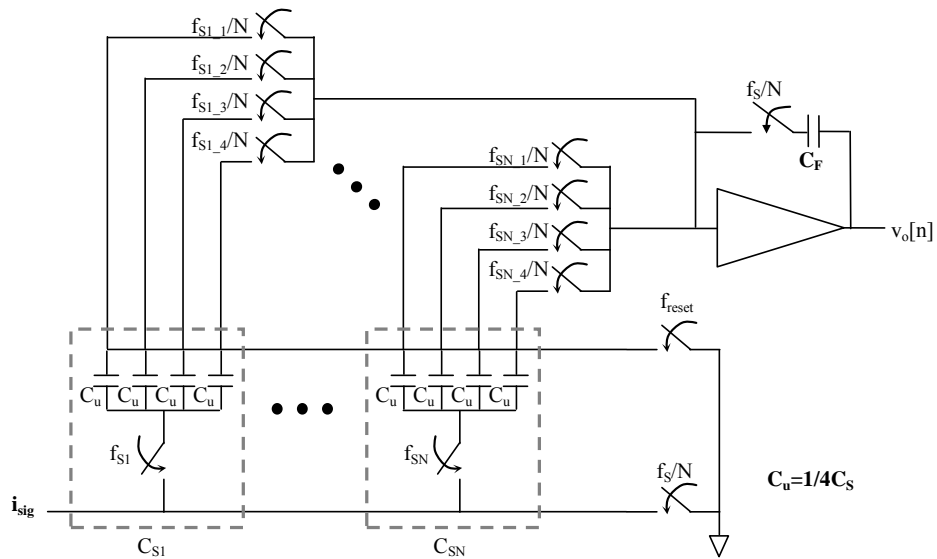
#### 4.3.1 Circuit à réseaux de capacités commutées

Afin de pouvoir obtenir une grande variété de coefficients, le circuit à capacités commutées illustré sur la Figure 4.3-1 peut être utilisé. Sur ce schéma, l'échantillonnage se fait par intégration successive du courant sur N condensateurs. A la fin de N cycles, les charges stockées sur tous les condensateurs sont transférées à une autre capacité grâce à l'OTA. Cette opération est équivalente à une décimation par un facteur N. Au niveau de chacun des condensateurs, quatre ratios de gain (coefficients) sont possibles :  $\{1/4 \ 2/4 \ 3/4 \ 4/4\}$  en jouant sur le nombre de capacité  $C_u$  utilisées dans l'échantillonnage.

Dans cette solution, l'ordre de décimation est souvent limité par le nombre de condensateurs élémentaires  $C_u$ . En outre, à mesure que le nombre de condensateurs augmente à capacité totale constante, le problème d'appariement entre les condensateurs élémentaires s'aggrave, ce qui diminue la précision des coefficients du filtre RIF. En général, afin de minimiser l'erreur d'appariement, il est préférable que le nombre de valeurs distinctes des coefficients soit minimal et que le rapport entre les coefficients (donc les condensateurs) soit un nombre entier, pour une grande uniformité entre les condensateurs. Néanmoins, en minimisant les différentes valeurs possibles des condensateurs, la reconfigurabilité du filtre RIF est réduite, et celui-ci est donc moins performant.

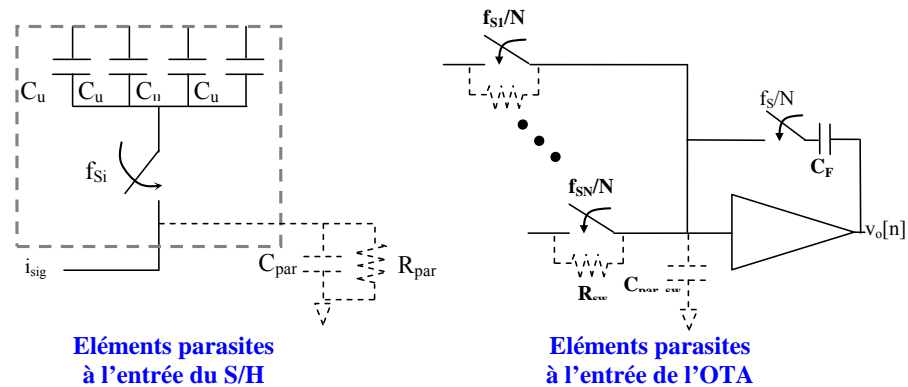
---

<sup>18</sup> Cette fréquence intermédiaire est choisie pour adapter à la faisabilité du filtre BAW et de la fréquence d'échantillonnage du filtre RIF complexe, entre autres.



**Figure 4.3-1 Un exemple du circuit à capacités commutées avec quatre valeurs de coefficients possibles**

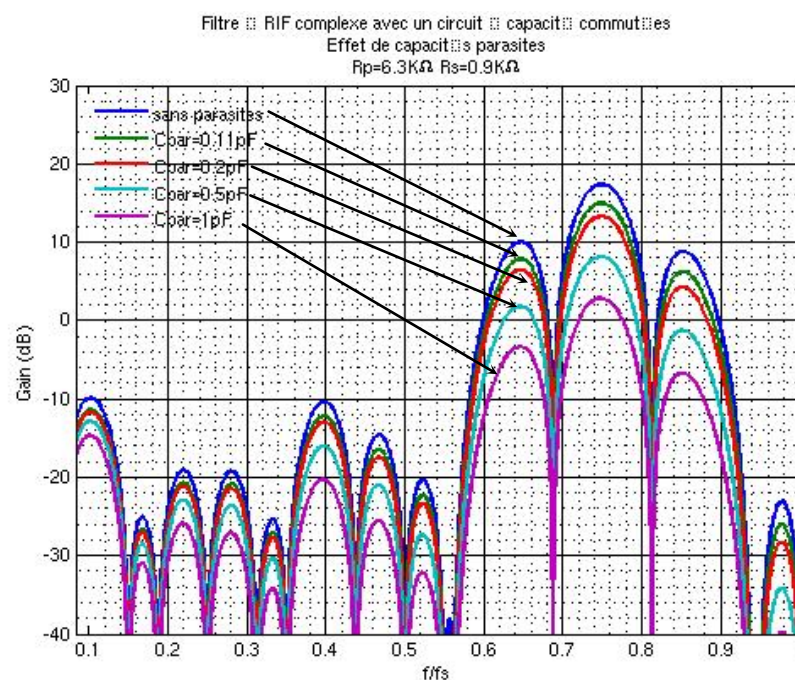
Outre la limitation en valeur des coefficients, un autre inconvénient du circuit à capacités commutées est sa sensibilité aux éléments parasites des commutateurs, surtout s'il y a beaucoup de condensateurs en parallèle (pour réaliser une grande valeur de décimation). La Figure 4.3-2 illustre un modèle simplifié des éléments parasites à l'entrée des commutateurs et à l'entrée de l'OTA.



**Figure 4.3-2 Éléments parasites du circuit à capacités commutées**

Chaque commutateur contribue à une résistance en série et une capacité parasite qui, en combinaison avec les éléments parasites de sortie de l'étage précédent, réduit le gain du filtre RIF. L'influence de la capacité parasite est montrée sur la Figure

4.3-3<sup>19</sup>. La capacité parasite totale est proportionnelle au nombre de commutateurs à l'entrée. Une augmentation de la capacité parasite provoque clairement une chute de gain liée à l'effet du diviseur de courant, qui sera détaillé plus tard. Une capacité parasite de 0,2 pF représente approximativement 8 commutateurs à l'entrée de l'OTA et provoque une chute de gain de 4 dB par rapport au cas idéal. Le fait d'avoir une décimation de 16 avec 4 valeurs de coefficients implique l'utilisation de 16 commutateurs, ce qui peut ajouter plus de 0,4 pF de capacité parasite et provoque donc une chute de gain de plus de 8 dB, ce qui n'est pas négligeable. D'ailleurs, la capacité parasite à l'entrée de l'OTA réduit également l'efficacité de l'intégration, et limite donc la fréquence d'échantillonnage.



**Figure 4.3-3 Perte de gain en fonction des capacités parasites pour un filtre RIF à capacités commutées**

En conclusion, le circuit à capacités commutées n'est pas une solution optimale dans le cas où un ordre élevé de décimation est nécessaire à cause des capacités parasites des commutateurs.

<sup>19</sup> Les valeurs des éléments parasites sont estimées sur les caractéristiques de la technologie CMOS 65 nm.

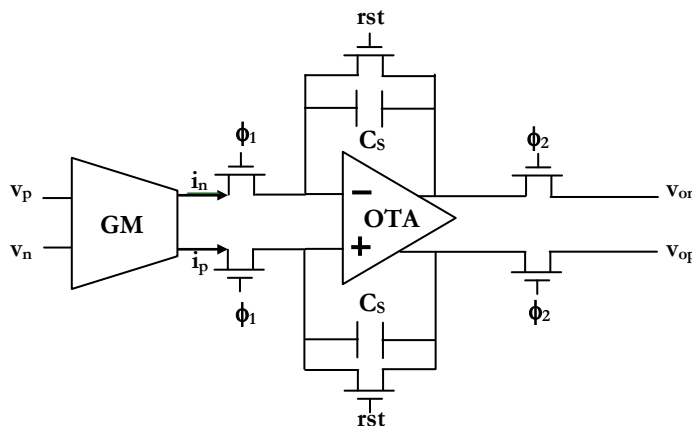
#### 4.3.2 Capacités commutées avec intégrateur actif

Une autre solution possible pour la réalisation du filtre à capacités commutées est présentée sur la Figure 4.3-4. Dans ce schéma, l'échantillonnage en charge fonctionne grâce à une intégration directe du courant sur un condensateur placé en contre-réaction d'un amplificateur opérationnel<sup>[4-1]</sup>. Sur ce schéma, les coefficients du filtre à échantillonnage ne dépendent pas du rapport entre les condensateurs. Le signal de sortie, en supposant une durée d'intégration  $T_i$ , est donné par,

$$v_o[n] = \frac{i \cdot T_i}{C_S[n]}, \quad i = i_p - i_n$$

**Équation 4.3-1**

En principe, les charges sont transférées et transformées en tension à la sortie grâce à la masse virtuelle maintenue par l'amplificateur. Cette tension à la sortie est ensuite re-échantillonnée pendant la phase  $\phi_2$ .



**Figure 4.3-4 Les capacités commutées de charges avec un amplificateur opérationnel**

En termes de fréquence d'échantillonnage, l'utilisation d'un amplificateur opérationnel (OTA) limite cependant la fréquence maximale d'utilisation. De plus, l'amplificateur apporte un bruit supplémentaire dans l'échantillonnage. Par conséquent, la valeur de  $C_S$  doit rester assez élevée, ce qui limite non seulement davantage la bande passante mais aussi le choix des valeurs de coefficients.

### 4.3.3 Miroirs de courant commutés

Au lieu de changer la valeur des condensateurs permettant l'intégration, une autre option serait de faire varier les coefficients par commutation de miroirs de courant. Un schéma simplifié de cette méthode est donné sur la Figure 4.3-5. Les défauts d'appariement entre transistors sont en général supérieurs à ceux des condensateurs à cause d'un plus grand nombre d'étapes du procédé de fabrication. De plus, la consommation statique du circuit augmente évidemment en fonction du nombre de miroirs de courant.

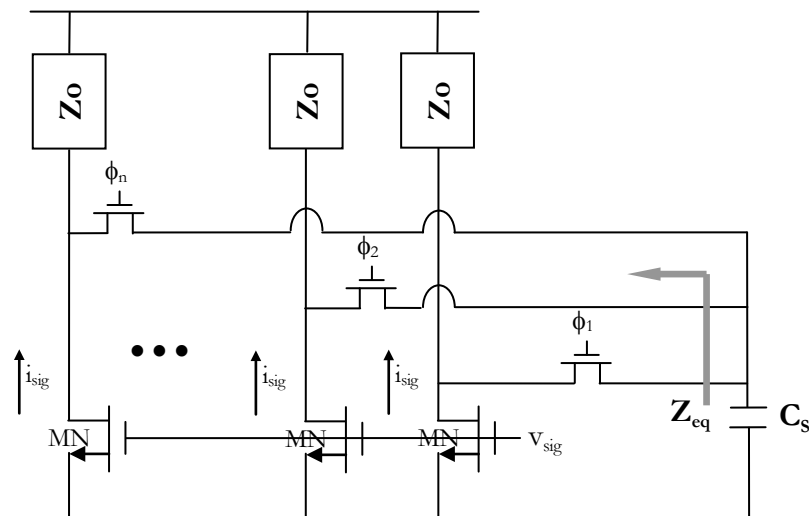
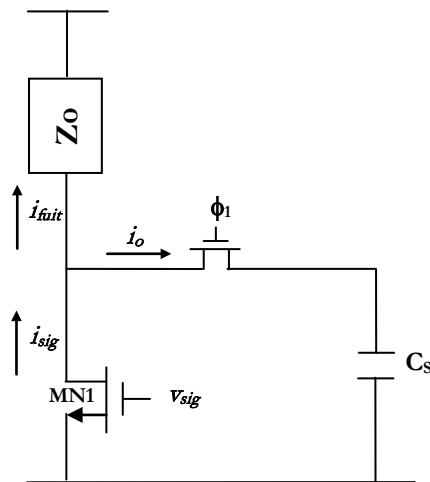


Figure 4.3-5 Miroirs de courants commutés

Cette structure connaît une variation de l'impédance de sortie  $Z_{eq}$  en fonction du nombre de miroirs de courant commutés. En réalité, l'impédance de sortie de l'amplificateur à transconductance n'est pas infinie. Par conséquent, une partie des charges normalement destinées au condensateur va être détournée par l'impédance de sortie  $Z_o$  du miroir de courant, comme illustré sur la Figure 4.3-6. C'est l'effet du diviseur de courant où les charges injectées par  $i_{sig}$  sont réparties entre  $C_S$  et  $Z_o$ .



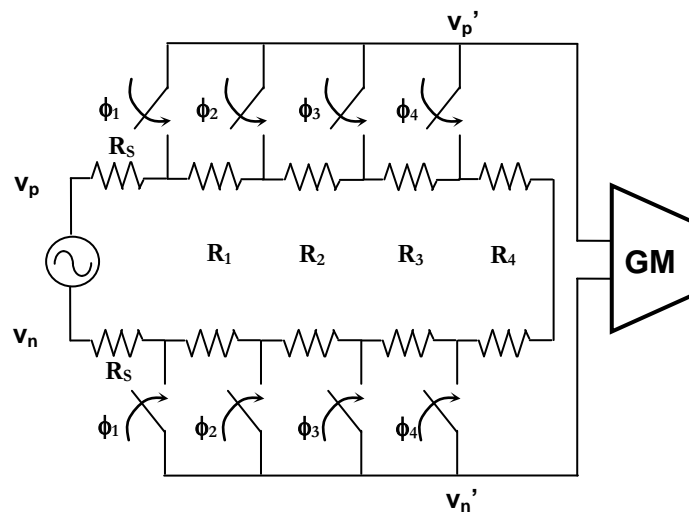
**Figure 4.3-6 Fuite de charges échantillonnées à cause de l'impédance finie de sortie**

La quantité de charges perdues dépend du rapport entre  $Z_0$  et  $1/j\omega C_s$  et cette quantité s'accroît forcément à mesure que le nombre de miroirs de courant commutés augmente. En outre, la perte de charges n'est pas proportionnelle au nombre de courants de miroirs commutés, ce qui altère la précision des coefficients. Avec une technologie CMOS submicronique avancée, une impédance de sortie de l'amplificateur à transconductance est en général peu élevée, ce qui exacerbe encore plus ce phénomène.

#### 4.3.4 Résistances commutées en entrée

Afin d'obtenir les différentes valeurs de coefficients du filtre RIF, il est essentiel que la précision des valeurs ne soit influencée ni par l'impédance de l'amplificateur, ni par la valeur des condensateurs. Une possibilité consisterait à mettre en place un circuit de commutation à l'entrée de l'amplificateur, comme illustré sur la Figure 4.3-7.





**Figure 4.3-7 Génération de coefficients avec un diviseur résistif**

L'amplitude du signal d'entrée est pondérée par un diviseur résistif de tension. La position des commutateurs détermine le ratio du diviseur, et modifie donc la transconductance effective de l'amplificateur à transconductance d'une façon uniforme en supposant que la capacité parasite à l'entrée est suffisamment faible. (Ceci est souvent le cas avec une technologie CMOS de petites dimensions i.e. faible capacité de grille.) En outre, les résistances passives pourraient être remplacées par des résistances MOS linéaires commandées par tension, qui pourraient produire un incrément de ratio contrôlable.

La valeur de la résistance totale  $R_T$  en série à l'entrée doit respecter une valeur maximale et une valeur minimale. La valeur maximale est déterminée par le bruit thermique ajouté à l'entrée de l'amplificateur ainsi que par la bande passante nécessaire. D'autre part, la résistance doit être au moins d'un ordre de grandeur plus élevé que l'impédance d'entrée de l'amplificateur à transconductance pour que la capacité parasite en parallèle de la résistance à l'entrée n'influence pas le ratio généré (voir Figure 4.3-8). De surcroît, si l'étage précédent exige une résistance de terminaison  $R_L$  déterminé (par exemple, un filtre passif), l'impédance d'entrée  $Z_{in}$  doit présenter une impédance bien supérieure<sup>20</sup> à  $R_L$ . Ces critères de valeur maximale et minimale sont illustrés sur la même figure.

<sup>20</sup> En supposant que la capacité parasite est négligeable.

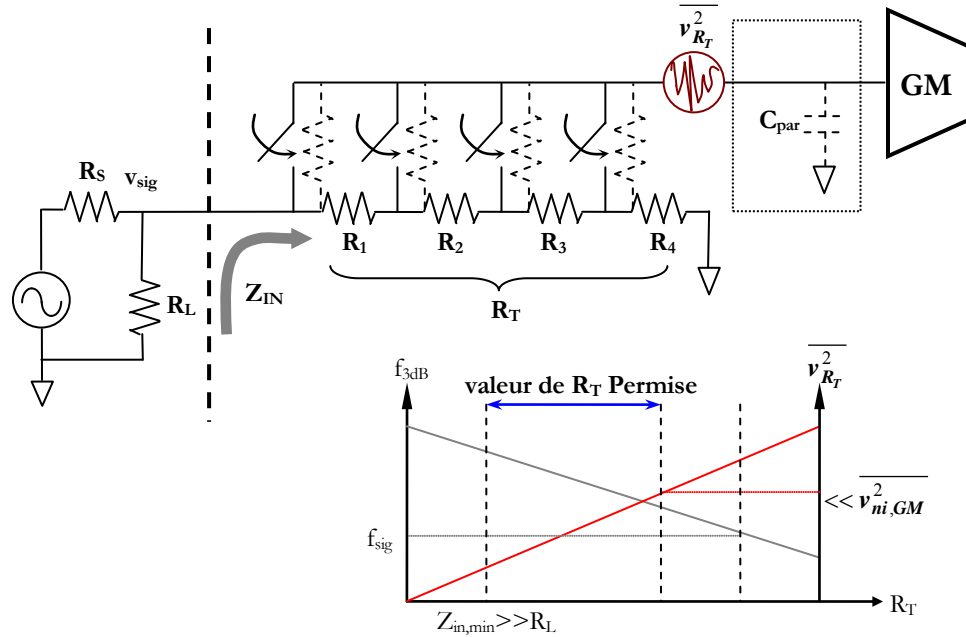


Figure 4.3-8 Modèle des défauts des résistances commutées

Malgré ces limitations, la méthode des résistances commutées a été retenue pour l'implémentation. Cette méthode a l'avantage d'avoir une capacité parasite faible, tout en étant moins sensible au problème de faible impédance de sortie des transistors MOS à canaux courts de la technologie choisie.

#### 4.4 Cahier des charges du filtre RIF complexe

Avant d'étudier la structure de l'amplificateur à transconductance, un cahier des charges doit être établi. Le cahier des charges du récepteur complet a été développé dans le chapitre 3. Dans ce chapitre, nous allons en déduire celui de l'échantillonneur de charges. A la fin de ce chapitre, une nouvelle structure de l'amplificateur à transconductance sera proposée. Celle-ci est adaptée à la réalisation du filtre RIF selon le cahier des charges spécifié.

##### 4.4.1 Filtre RIF complexe avec échantillonneur de charges

Les paramètres du filtre RIF sont résumés dans le Tableau 4.4-1. Les fréquences de fonctionnement du filtre sont choisies pour être compatibles avec la norme WCDMA.

**Tableau 4.4-1 Paramètres du filtre RIF complexe**

Fréquence d'échantillonnage $f_s$	1,2288 GHz
Fréquence porteuse du signal $f_{IF}$	916,6 MHz
Durée de l'intégration par Cycle $T_i$	$T_s/2=400$ ps
Ordre de décimation $N$	16

La fréquence intermédiaire du signal doit évidemment coïncider avec la fréquence centrale du filtre RIF. Cette fréquence, selon les données du tableau, est de  $3/4f_s=921,6\text{MHz}$ . (Cette fonction de transfert du filtre RIF complexe est développée dans l'ANNEXE 4A.) Afin d'arriver à une seconde fréquence intermédiaire de 5 MHz à la sortie du filtre RIF, nous allons plutôt choisir une fréquence intermédiaire de  $916,6\text{ MHz}^{21}$ . Les fonctions de transfert en puissance de l'échantillonneur de charges et du filtre RIF sont données respectivement par,

$$|H_{SH}(\omega)|^2 = \left( \frac{\sin(\pi f T_i)}{\pi f C_s} \right)^2 \quad |H_{RIF}(\omega)|^2 = \frac{1 - \cos(\omega N T_s)}{1 + \sin(\omega T_s)}$$

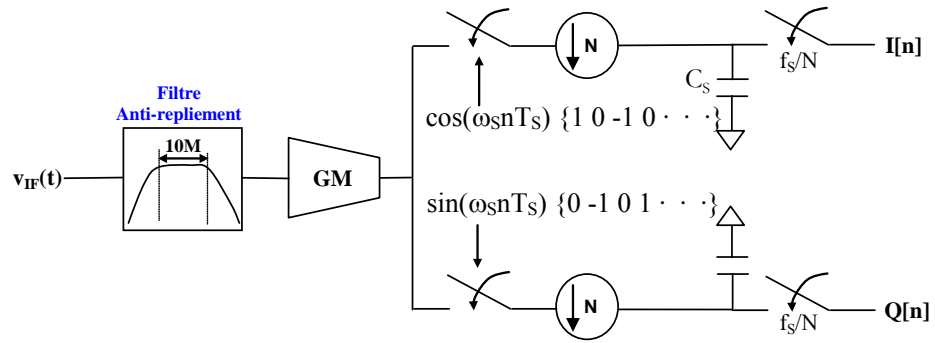
**Équation 4.4-1**

Sur la base du tableau ci-dessus, la section suivante expose le dimensionnement des différents blocs du filtre RIF.

#### 4.4.2 Cahier des charges de l'échantillonneur de charges et de l'amplificateur à transconductance

Le diagramme fonctionnel du filtre RIF complexe avec un S/H en charges est illustré sur la Figure 4.4-1. L'échantillonneur en charges est composé d'un amplificateur à transconductance et de deux commutateurs commandés par deux horloges d'échantillonnage déphasées de  $\pi/2$  (afin de réaliser le filtrage complexe présenté dans la section 3.3.4.). Pour reconfigurer le filtre, c'est-à-dire modifier sa fonction transfert, le déphasage des horloges et le gain du signal devront être programmables.

<sup>21</sup> Ce qui donne lieu à une fréquence image de 926,6 MHz



**Figure 4.4-1 Filtre RIF complexe avec un S/H de charges**

#### 4.4.2.1 Fonction de transfert du filtre RIF complexe

La fonction transfert du filtre à échantillonnage peut être évaluée analytiquement. Elle est donnée par la multiplication de la fonction transfert de l'amplificateur à transconductance, de la fonction transfert de l'échantillonneur de charges et de la fonction transfert du filtre RIF. Si l'amplificateur à transconductance est large bande avec une transconductance  $gm$ , la fonction transfert totale est donnée par,

$$H_{TOT}(f) = \frac{gmT_i}{C_S} H_{SH}(s)_{s=j\omega} H_{RIF}(z)_{z=e^{j2\pi f T_s}}$$

**Équation 4.4-2**

On a donc,

$$|H_{TOT}(f)|^2 = \left( \frac{gmT_i}{C_S} \right)^2 \left( \frac{\sin(\pi f_s T_i)}{\pi f_s T_i} \right)^2 \left( \frac{1 - \cos(N\omega T_s)}{1 + \sin(\omega T_s)} \right)^2$$

**Équation 4.4-3**

#### 4.4.2.2 Analyse du bruit du filtre RIF complexe

Le bruit total à bande latérale unique, suite à un échantillonnage par un S/H de charges, peut être formulé par l'expression suivante,

$$\overline{v_{no,SH}^2} = \int_0^{\infty} |H_{SH}(s)_{s=j2\pi f}|^2 |H_{GM}(s)_{s=j2\pi f}|^2 S_{ni}(f) df$$

**Équation 4.4-4**

$S_{ni}(f)$  est la densité spectrale de bruit à l'entrée de l'amplificateur à transconductance qui comprend la densité de bruit de l'étage précédent  $S_{ni,s}(f)$  et le bruit de l'amplificateur à transconductance ramené à son entrée  $S_{ni,GM}(f)$ . En supposant que le bruit à l'entrée est blanc et que l'amplificateur est large bande<sup>22</sup>, l'Équation 4.4-4 devient,

$$\overline{v_{no,SH}^2} = gm^2 \int_0^{\infty} |H_{SH}(s)|^2 S_{ni}(f) df = S_{ni}(f) \left( \frac{gm}{C_S} \right)^2 \frac{T_i}{2}$$

$$S_{ni}(f) = S_{n,S}(f) + S_{n,GM}(f)$$

$$|H_{GM}(s)|^2 = gm^2$$

Avec,

$$\int_0^{\infty} |H_{SH}(s)|^2 df = \int_0^{\infty} \left| \frac{1 - e^{-sT_i}}{sC_S} \right|^2 df = \frac{1}{C_S^2} \frac{T_i}{2}$$

**Équation 4.4-5**

Puisque l'intégration de  $H_{SH}(s)$  est effectuée de 0 à l'infini, il est sous-entendu qu'aucun filtrage anti-repliement n'est considéré dans l'équation, ce qui n'est pas le cas dans une implémentation réelle. Le bruit de l'étage précédant l'amplificateur à transconductance est normalement filtré par un filtre passe bande. En revanche, ce filtrage ne concerne pas le bruit propre de l'amplificateur. Donc, en prenant une bande passante du filtre anti-repliement de 30 MHz<sup>23</sup> autour d'une fréquence intermédiaire de 916,6 MHz, l'Équation 4.4-5 devient<sup>24</sup>,

$$\overline{v_{no,SH}^2} = 0.005 \left( \frac{gm}{C_S} \right)^2 T_i \cdot S_{ni,S}(f) + 0.5 \left( \frac{gm}{C_S} \right)^2 T_i \cdot S_{ni,GM}(f)$$

**Équation 4.4-6**

Ensuite, pour retrouver le bruit après l'opération de décimation de l'ordre N, l'Équation 4.4-7 est utilisée. Ici, puisque la fréquence d'échantillonnage de l'échantillonneur est  $f_s$ , ce bruit total comprendra l'ensemble du bruit de repliement

<sup>22</sup> Un amplificateur a naturellement un filtrage passe bas qui limitera le bruit aux hautes fréquences

<sup>23</sup> C'est la largeur de bande minimum du filtre BAW à FBAR réalisable autour d'une fréquence centrale de 900 MHz

<sup>24</sup> Le facteur de multiplication est dérivé par une intégration numérique de l'Équation 4.4-6 entre 905 MHz et 935 MHz en Matlab

jusqu'à  $f_s/2$ . Donc, le bruit à la sortie après la décimation peut être trouvé par une intégration de 0 à  $f_s/2$  et est donné par<sup>25</sup> [4-1],

$$\begin{aligned} \overline{v_{no,RIF}^2} &= \int_0^{f_s/2} \mathbf{H}_{RIF}(z) \Big|_{z=e^{j2\pi f T_S}} S_{no,SH}(f) df \approx \frac{Nf_s}{4} \frac{\overline{v_{no,SH}^2}}{f_s/2} = \frac{N}{2} \overline{v_{no,SH}^2} \\ &= \frac{N}{2} \left[ 0.005 \left( \frac{gm}{C_S} \right)^2 T_i \cdot S_{ni,S}(f) + 0.5 \left( \frac{gm}{C_S} \right)^2 T_i \cdot S_{ni,GM}(f) \right] \end{aligned}$$

**Équation 4.4-7**

Ayant dérivé les équations de gain et de bruit pour le filtre RIF, il est désormais possible de développer un cahier des charges de l'échantillonneur de charges et de déterminer la valeur optimale de la capacité d'échantillonnage  $C_S$  et de la transconductance  $gm$ . On rappelle, d'après le cahier des charges de la chaîne du récepteur numérisé développé dans le chapitre 3, que le bruit maximum tolérable référencé à la sortie du filtre RIF avec 23 dB de gain est,

$$\overline{v_{no,RIF}^2}_{\max} = 1,95e^{-7} \text{ V}^2$$

**Équation 4.4-8**

#### 4.4.2.3 Valeur de la transconductance et de la capacité d'échantillonnage

En reconstituant l'Équation 4.4-6, la densité spectrale du bruit de l'amplificateur à transconductance ramené à l'entrée est,

$$S_{ni,GM}(f) = -0.01 S_{ni,S}(f) + 2 \left( \frac{C_S}{gm} \right)^2 \frac{1}{T_i} \overline{v_{no,SH}^2}$$

**Équation 4.4-9**

Le rapport  $gm/C_S$  dans l'Équation 4.4-9 peut être obtenu à partir de l'Équation 4.4-3,

<sup>25</sup> La fonction transfert de chaque voie séparée est développée dans l'ANNEXE 4A

$$\frac{gm}{C_S} = \sqrt{\frac{|H_{TOT}(f)|^2}{\left(\frac{\sin(\pi f T_i)}{\pi f}\right)^2 \left(\frac{1 - \cos(N\omega T_S)}{1 + \sin(\omega T_S)}\right)}}$$

**Équation 4.4-10**

Selon l'Équation 4.4-9, le rapport  $gm/C_S$  devrait rester faible afin de minimiser l'amplification du bruit propre de l'amplificateur à transconductance. Néanmoins, ce rapport doit être suffisamment grand pour réaliser le gain nécessaire. Une analyse sur le rapport entre le gain total, le bruit,  $gm$  et  $C_S$  est présentée dans l'ANNEXE 4B.

En général, il est important de garder une valeur raisonnable de  $C_S$  et de  $gm$  avec une technologie donnée puisqu'elle impose certaines contraintes sur le design de l'amplificateur et du filtre RIF. A titre d'exemple, avec un besoin de gain global de 30 dB et une capacité d'échantillonnage de  $C_S=100$  fF, la valeur de  $gm$  requise est de 622  $\mu$ S. Le bruit thermique généré par cette transconductance de  $gm$  ( $2,6e-17$  V<sup>2</sup>/Hz) est pourtant bien supérieur à ce qui est tolérable (donné dans le Tableau A4B-1). De plus, la capacité parasite à la sortie de l'amplificateur doit être inférieure à la valeur  $C_S$  de 100 fF d'au moins un ordre de grandeur, ce qui ne serait pas facile même avec une technologie CMOS de petite dimension. Il ne faut pas non plus avoir une valeur de  $C_S$  trop élevée, même si cela est souhaitable en termes de bruit. De plus, une valeur élevée de  $C_S$  nécessitera une valeur élevée de  $gm$  afin d'obtenir un certain gain de signal. Il est connu qu'en technologie CMOS à canal court, un amplificateur à fort gain ne peut pas être réalisé facilement, surtout à une fréquence intermédiaire élevée. En résumé, il est souhaitable de garder  $C_S$  entre 1 pF et 10 pF, tout en conservant un gain suffisamment élevé pour un meilleur facteur de bruit. D'après cette analyse et les relations établies, la valeur optimale de  $C_S$  et  $gm$  est donnée dans le Tableau 4.4-2.

**Tableau 4.4-2 Cahier des charges du filtre RIF et de l'amplificateur à transconductance**

Cahier des charges filtre RIF		Cahier des charges de l'amplificateur à transconductance	
Gain Total	23 dB	$gm$	5,6 mS
$C_S$	2 pF	maximum $S_{mi,GM}$	$1,5e-17$ V <sup>2</sup> /Hz

#### 4.4.2.4 Linéarité et dynamique

Deux phénomènes sont à l'origine de la distorsion dans un filtre RIF : la non-linéarité de l'amplificateur à transconductance et l'injection de charges du commutateur. Le phénomène d'injection de charges a été traité dans le chapitre précédent. En ce qui concerne la linéarité de l'amplificateur à transconductance, la contrainte va venir de la spécification d'IIP3 de l'ensemble de la chaîne. Selon le

cahier des charges développé dans le chapitre 3, l'IIP3 doit atteindre un minimum de 4,4 dBm. En termes de dynamique de l'amplificateur à transconductance, les brouilleurs maximum sont à -29 dBm. On en déduit qu'il faut disposer d'une dynamique de 64,5 dB avec un signal d'entrée de -117 dBm.

Par conséquent, il faudra une structure d'amplificateur à transconductance à bas bruit et haute linéarité. En outre, puisque la transconductance doit être réalisée à une fréquence intermédiaire élevée, le circuit de l'amplificateur devrait aussi présenter une capacité parasite faible. Différentes structures d'amplificateur à transconductance sont exposées dans la section suivante, suivies par une proposition de nouvelle structure adaptée à nos besoins.

## 4.5 Amplificateur à transconductance

Deux structures sont essentiellement utilisées pour la conception d'amplificateur à transconductance à très grande bande passante : celle utilisant la structure de base d'un inverseur et celle exploitant la transconductance Gilbert. Une description et une comparaison de ces deux structures, ainsi que quelques variantes, sont présentées ici.

### 4.5.1 Etat de l'art de l'amplificateur à transconductance

#### 4.5.1.1 Structure à base d'inverseur

Cette structure est la plus élémentaire parmi les réalisations de l'amplificateur à transconductance<sup>[4-2][4-3][4-4]</sup>. L'idée est d'imiter la structure d'un inverseur. Un schéma est donné sur la Figure 4.5-1.

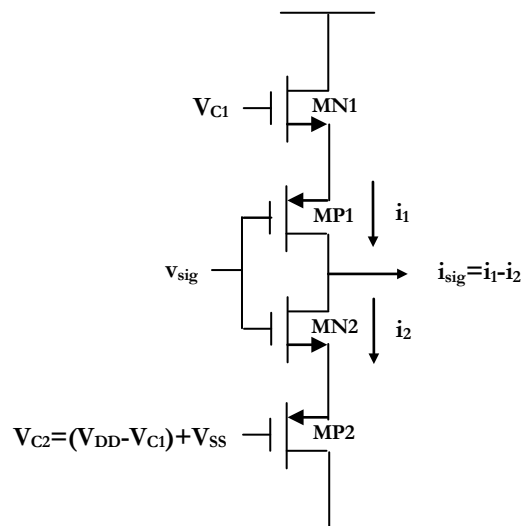


Figure 4.5-1 Amplificateur à transconductance à base d'inverseur



Les transistors MN1 et MP1 servent de source de courant.  $V_{C1}$  détermine, en théorie, la tension grille-source entre les transistors MN1 et MP1 et entre les transistors MN2 et MP2. Ainsi, la transconductance est donnée par,

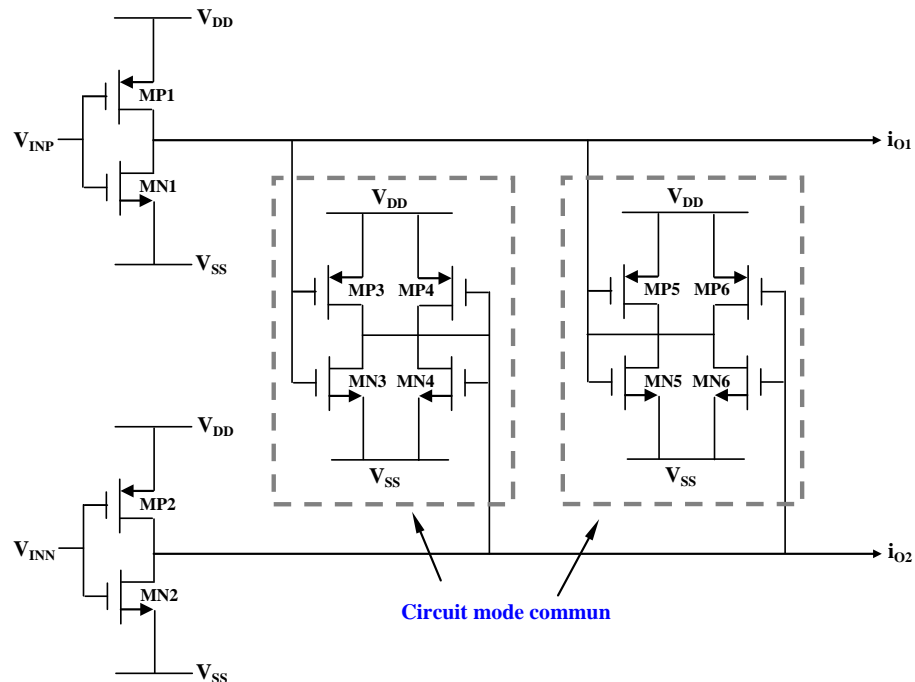
$$gm = 4K_{eq}(V_{C1} - V_{th,eq})$$

$$K_{eq} = \frac{K_n K_p}{(\sqrt{K_n} + \sqrt{K_p})^2}, \quad K_n, K_p = \frac{1}{2} [\mu_{eff} C_{OX} (W/L)]_{n,p}$$

$$V_{th,eq} = V_{th,MN1} + V_{th,MN2} + |V_{th,MP1}| + |V_{th,MP2}|$$

**Équation 4.5-1**

Les atouts de cette structure sont une large bande passante et un faible bruit propre. En revanche, une grande valeur de transconductance  $gm$  est difficilement réalisable. Comme suggéré par l'Équation 4.5-1, la valeur de transconductance est très liée aux paramètres de technologie tels que  $C_{OX}$  et  $V_{th}$ . De plus, l'empilement de quatre transistors est contraignant avec une faible alimentation. De plus, cette structure doit être rendue différentielle pour éliminer la sensibilité au mode commun. Pour ces inconvénients, une structure pseudo-différentielle a été proposée dans [4-4]. Les deux sources de courant ont été enlevées. Deux circuits de rétroactions ont été ajoutés à la sortie pour stabiliser le mode commun. La structure est donnée sur la Figure 4.5-2.



**Figure 4.5-2 Amplificateur à transconductance différentielle à base d'inverseur**

La transconductance est donnée par la relation suivante,

$$gm = \sqrt{K_n K_p} (V_{DD} - V_{tn} + V_{tp})$$

Équation 4.5-2

Si l'on dimensionne correctement les transistors, le mode commun devrait rester à une valeur voisine de  $V_{DD}/2$ . Il y aura une légère dégradation de bruit et de la bande passante à cause d'une augmentation du nombre de transistors par rapport à la structure de la Figure 4.5-1. En revanche, la capacité parasite du circuit de mode commun interfère certainement avec le condensateur d'échantillonnage à la sortie.

#### 4.5.1.2 Structure à base de la transconductance Gilbert

La structure différentielle de l'amplificateur à transconductance illustrée sur la Figure 4.5-3 est aussi connue sous le nom de transconductance de Gilbert<sup>[4-5]</sup>. Idéalement, le signal différentiel à l'entrée est dupliqué sur les sources des transistors MN1 et MN2. Par conséquent, un courant différentiel se produit à travers la résistance  $2R$ . En supposant que l'impédance de sortie des transistors et des sources de courant est infinie, ce courant ne peut que se diriger vers la sortie. Il en résulte que la transconductance est une fonction de la résistance,

$$gm = 1/R$$

Équation 4.5-3

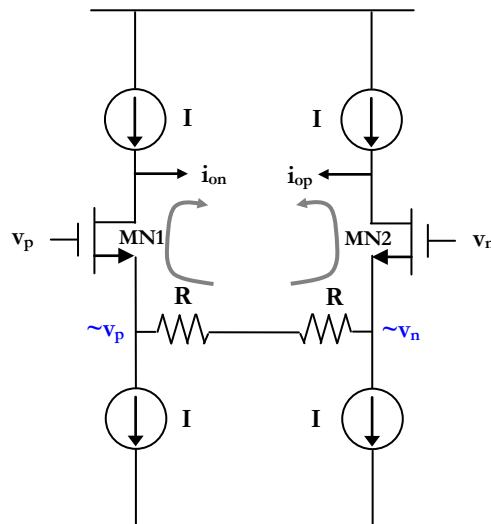
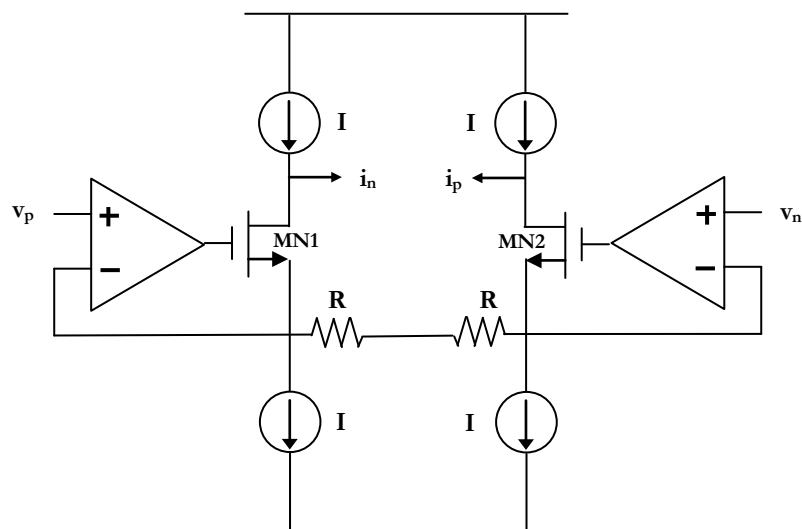


Figure 4.5-3 Amplificateur à transconductance à base de la cellule de Gilbert

Il y a deux avantages majeurs par rapport à l'architecture à base d'inverseur. Le circuit différentiel est mieux protégé contre les perturbations du mode commun, et la valeur  $gm$  est établie par la résistance  $R$  et non par les paramètres technologiques du transistor MOS, ce qui donne une conversion tension à courant parfaitement linéaire, en théorie. Cependant, en pratique, cette structure est aussi sensible aux distorsions. L'impédance finie des sources de courant et la modulation de  $v_{gs}$  sont à l'origine des distorsions. Plus précisément, la modulation de tension drain-source des transistors génère un courant non-linéaire à cause de l'impédance de sortie finie<sup>26</sup>. Plus important encore, les transistors MN1 et MN2 n'ont en réalité pas un gain unitaire quand leurs sources sont dégénérées avec la résistance  $R$ . Cela implique que la modulation de  $v_{gs}$  peut donc ajouter un courant non-linéaire à celui généré à partir de la résistance. Une amélioration peut être obtenue en employant une résistance d'une forte valeur qui minimise la dégénération de source. Cependant, une valeur de résistance forte donnera lieu à une transconductance faible. Une autre méthode consiste à lier la tension des sources des transistors MN1 et MN2 au signal d'entrée par l'intermédiaire d'une boucle à contre-réaction<sup>[4-2][4-3][4-5]</sup> comme illustré sur la Figure 4.5-4. La boucle de contre-réaction garantit un gain unitaire du suiveur de tension MN1 et MN2  $v_{gs}$ . Malheureusement, cette solution dégrade le bruit, limite la bande passante utilisable de l'amplificateur et augmente la consommation. D'autres méthodes de linéarisation existent, mais elles se font aux dépens de la symétrie<sup>[4-6]</sup> ou augmentent trop la complexité<sup>[4-7][4-8]</sup>.

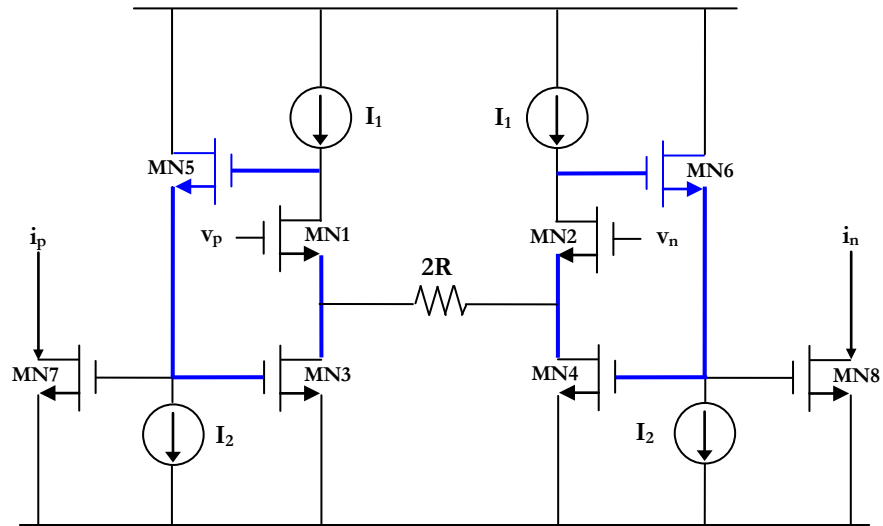


**Figure 4.5-4 Amplificateur à transconductance à base de la cellule Gilbert avec linéarité améliorée**

<sup>26</sup> L'effet *Early*.

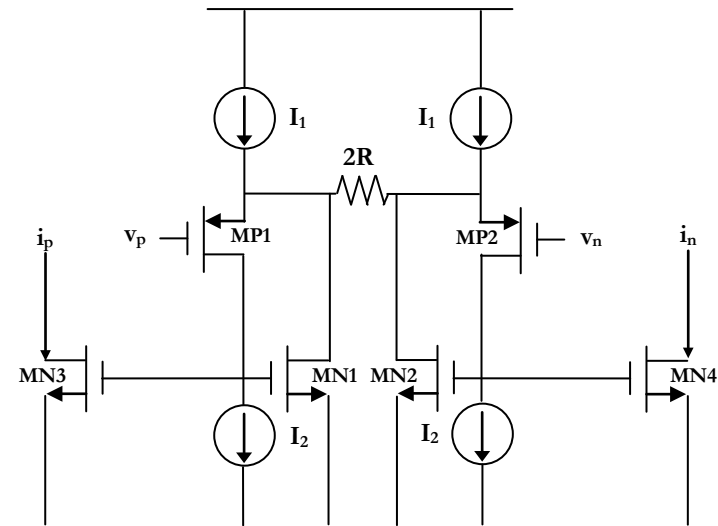
#### 4.5.1.3 Amplificateur à transconductance avec boucle de rétroaction interne

Comme illustré sur la Figure 4.5-4, la boucle de contre-réaction nécessite un amplificateur externe. Cet amplificateur peut apporter aussi des distorsions. Il serait donc plus intéressant d'incorporer la boucle de rétroaction en interne en minimisant le nombre de transistors ajoutés<sup>[4-3][4-5]</sup>. Une telle structure est illustrée sur la Figure 4.5-5.



**Figure 4.5-5 Amplificateur à transconductance à base de la cellule Gilbert avec boucle de rétroaction interne – version I**

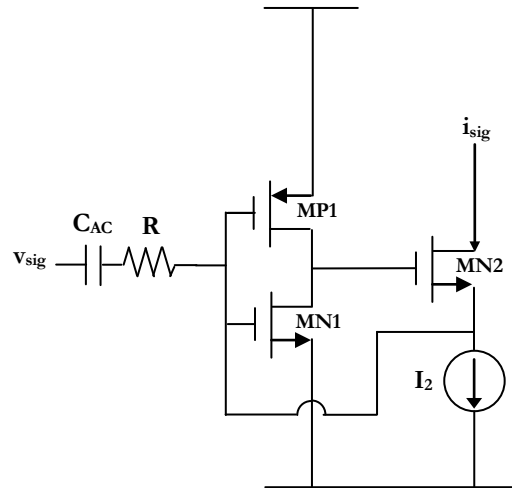
La boucle de rétroaction, marquée en gras (bleu), est maintenant constituée des transistors MN5/MN6 et MN3/MN4. Elle fonctionne en gardant le  $v_{gs}$  des transistors MN1/MN2 constant. Un gain fort de la boucle garantit son efficacité. Il en résulte que la plupart du courant généré à travers la résistance  $2R$  sera fourni par les transistors MN3/MN4 au lieu des transistors MN1/MN2. Pour réaliser une version du circuit adapté à une tension basse d'alimentation, les transistors d'entrée sont des PMOS, comme illustré sur la Figure 4.5-6.



**Figure 4.5-6 Amplificateur à transconductance à base de la cellule Gilbert avec boucle de rétroaction interne – version II**

#### 4.5.1.4 Structure hybride

Une autre structure montrée sur la Figure 4.5-7 est adaptée à la réalisation de filtre RIF<sup>[4-9]</sup>. Cet amplificateur est une structure hybride entre l'inverseur et la structure cascode régulée avec une boucle à contre réaction. En principe, cette configuration crée une masse virtuelle à l'entrée de l'inverseur pour générer un courant  $i_o = v_{sig}/R$  qui est dupliqué à la sortie grâce à la boucle de rétroaction. D'ailleurs la boucle sert aussi de mode commun. Par rapport à l'architecture à base d'inverseur, cette structure est moins susceptible de présenter des défauts d'appariement puisque la transconductance est dérivée à partir d'une résistance  $R$ . De plus, le mode commun d'entrée est fixé par la boucle de rétroaction. Cela dit, le gain de boucle reste faible à cause du suiveur de tension MN2. Par conséquent, la transconductance sera toujours inférieure à  $1/R$  (i.e. la masse virtuelle n'est pas parfaitement nulle). En outre, il ne faut pas garder une valeur de  $R$  trop élevée pour que le signal ne soit pas atténué par le pôle  $1/RC_{AC}$ .



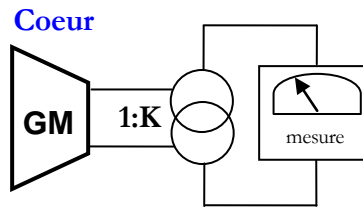
**Figure 4.5-7 Amplificateur à transconductance à base d'inverseur avec boucle à contre réaction interne**

#### 4.6 Proposition d'un nouvel amplificateur à transconductance

Le résultat de la comparaison en simulation des diverses structures de l'amplificateur à transconductance est présenté dans le Tableau 4.6-1. Les chiffres du tableau sont basés sur l'utilisation de la technologie CMOS 65 nm. Contrairement à la structure de l'inverseur, les autres structures nécessitent un miroir de courant comme étage de sortie qui permet d'agrandir la transconductance par une multiplication du courant généré au cœur de l'amplificateur. La comparaison est menée en supposant un courant de polarisation équivalent dans chaque structure d'amplificateur. Il faut noter que la transconductance est mesurée sans l'influence des commutateurs et du condensateur d'échantillonnage à la sortie (voir Figure 4.6-1). C'est-à-dire que la transconductance finale pourrait être bien inférieure en réalité.

**Tableau 4.6-1 Comparaison des amplificateurs à transconductance**

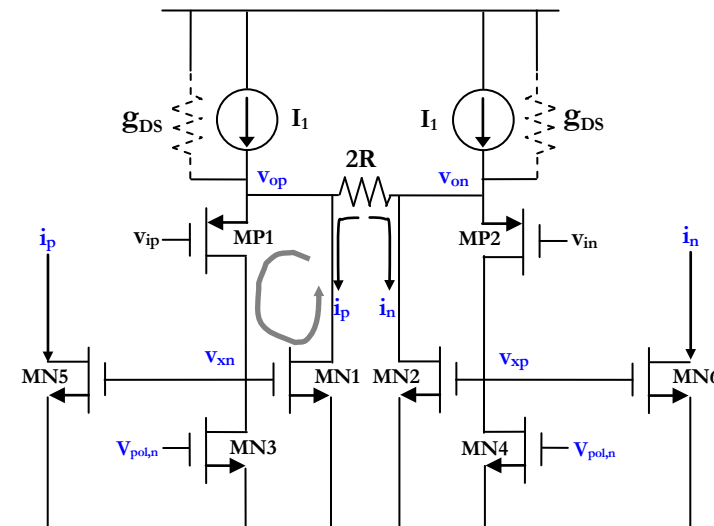
Structure	$f_{3dB}$ (Hz)	consommation (A)	gm (mS)	rapport consom.-gm	IIP3 (dBm)	bruit à la sortie $(\sqrt{Hz})^{-1}$
Nauta [4-4]	>10,0G	4,9m	8,0	0,61	8,0	78pA
Karvonen [4-9]	1,4G	3,0m	17,0	0,27	6,3	92pA
Nedungadi [4-6]	0,6G	3,8m	19,2	0,44	4,5	124pA
Koyama [4-5]	1,4G	3,4m	16,0	0,36	6,5	192pA



**Figure 4.6-1 Diagramme de caractérisation pour différents amplificateurs à transconductance**

En général, la structure à base de l'inverseur (Nauta) offre la meilleure bande passante et linéarité mais elle a un rapport consommation/ $gm$  élevé. C'est-à-dire que pour une transconductance donnée, cette structure a besoin de plus de courant de polarisation. La structure hybride (Karvonen) offre, quant à elle, le meilleur rapport consommation- $gm$ . Cependant, l'impédance d'entrée est faible ce qui peut influencer le fonctionnement de l'étage précédant. Enfin, la structure à base de la cellule Gilbert (Koyama) offre le meilleur compromis parmi les paramètres mesurés. Notre choix aurait donc pu converger vers cette solution pour réaliser l'échantillonneur en charges dans ce travail.

Cependant, la structure à base de la cellule de Gilbert, comme les autres structures, présente un inconvénient vis-à-vis de l'échantillonnage en hautes fréquences, surtout avec une implémentation en technologie CMOS submicronique profonde. Il se trouve que, dans ces technologies, le rapport  $gm/g_{ds}$  du transistor MOS étant faible, le gain de la boucle de rétroaction de la structure de la Figure 4.6-2 sera par conséquent faible.



**Figure 4.6-2 L'amplificateur à transconductance basé sur la cellule Gilbert**

Pour mettre en évidence l'importance de ce problème, un modèle petit signal de la boucle d'une moitié du circuit est extrait sur la Figure 4.6-3. Idéalement, le gain de boucle est tel que le transistor MP1 est un suiveur de tension parfait i.e.  $v_o=v_i$ . Par conséquent, grâce à l'impédance de sortie  $g_{DS}/g_{DS,MP1}$  élevée, le courant généré à travers la résistance  $R$  va se diriger vers le transistor MN1 et ensuite être dupliqué par l'intermédiaire de la tension  $v_x$  avec le miroir de courant MN5. Ce courant devrait être linéaire puisqu'il est généré à partir d'un élément également linéaire. Le gain de boucle est alors donné par l'Équation 4.6-1<sup>27</sup>.

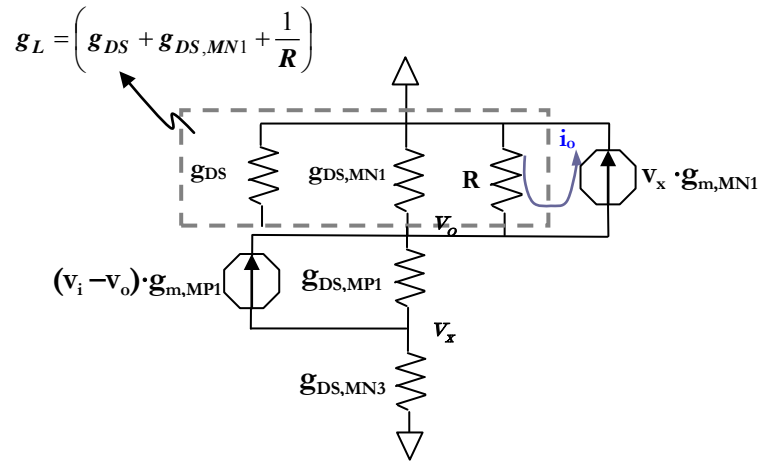


Figure 4.6-3 Modèle de petits signaux de la boucle de rétroaction

$$\frac{v_o}{v_i} = \frac{g_{m,MP1}(g_{m,MN1} + g_{DS,MN3})}{g_L(g_{DS,MP1} + g_{DS,MN3}) + g_{DS,MN3}g_{DS,MP1} + g_{m,MP1}g_{DS,MN3} + g_{m,MN1}(g_{m,MP1} + g_{DS,MP1})} \approx 1$$

si  $gm \gg g_{DS}$ ,  $g_L$  pour tous les transistors

#### Équation 4.6-1

Avec  $v_o/v_i$  égal à 1, aucun courant supplémentaire non linéaire ne sera généré par modulation de  $v_{gs,MN1}$ . Malheureusement, ce n'est pas toujours le cas, surtout lorsque la valeur de  $R$  est maintenue petite (pour obtenir une transconductance élevée) et que  $gm$  n'est pas au minimum d'un ordre de grandeur supérieur à  $g_{DS}$ . Il faut donc augmenter le gain de la boucle pour compenser cette limitation. Cela devrait permettre de réaliser une transconductance élevée et donc de maintenir une distorsion faible. Pour que le gain de la boucle soit plus élevé, une modification de la structure originale

<sup>27</sup> Voir l'Erreur! Verweisquelle konnte nicht gefunden werden. pour les détails du calcul



est proposée, tout en gardant le principe de fonctionnement de l'amplificateur original. Cette structure est illustrée sur la Figure 4.6-4.

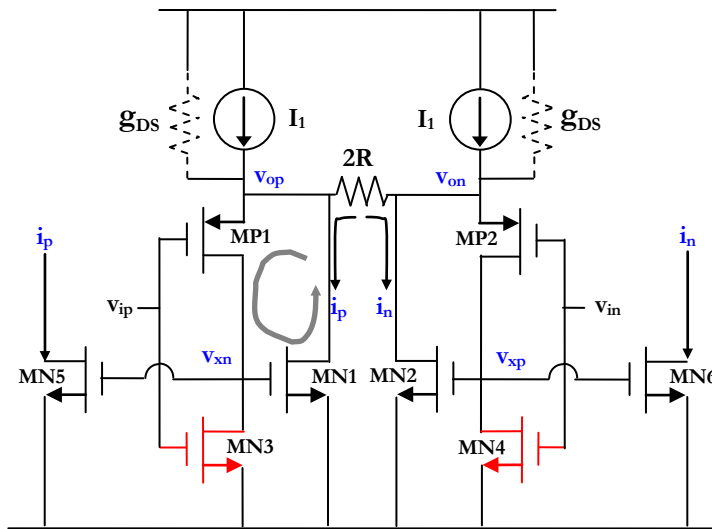


Figure 4.6-4 Cœur de l'amplificateur à transconductance proposé

La modification est mineure dans le sens où aucun transistor n'a été ajouté. Les sources de courant MN3 et MN4 ont été transformées en transistors d'entrée, qui contribuent à une augmentation du  $g_m$  de la boucle. Le modèle petit signal de cette structure proposée est représenté sur la Figure 4.6-5.

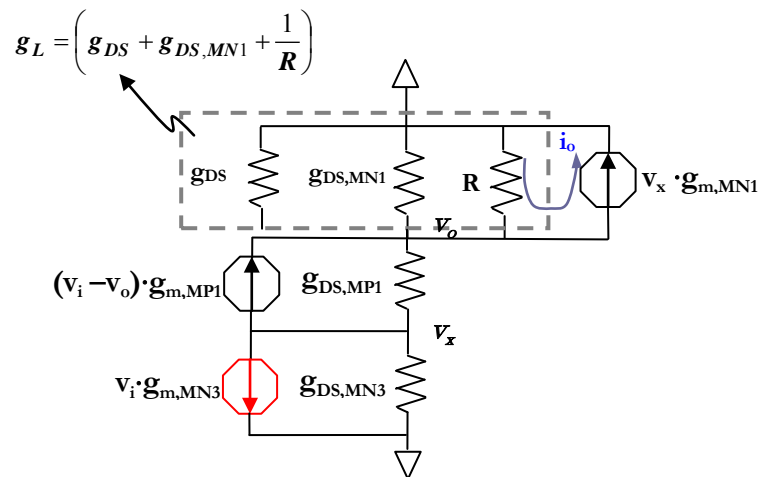


Figure 4.6-5 Modèle de petits signaux de la structure proposée

Le nouveau gain est donc donné par,

$$\frac{v_o}{v_i} = \frac{g_{m,MN3}(g_{m,MN1} - g_{DS,MP1}) + g_{m,MP1}(g_{m,MN1} + g_{DS,MN3})}{g_L(g_{DS,MP1} + g_{DS,MN3}) + g_{DS,MN3}g_{DS,MP1} + g_{m,MP1}g_{DS,MN3} + g_{m,MN1}(g_{m,MP1} + g_{DS,MP1})}$$

**Équation 4.6-2**

Désormais, le gain est augmenté par  $g_{m,MN3}(g_{m,MN1}-g_{DS,MP1})$  grâce à cette transformation du transistor MN3. Une comparaison qualitative selon les critères importants de l'échantillonneur en charges a été effectuée (suite au dimensionnement et à des simulations de la structure). Elle est présentée dans le Tableau 4.6-2. Il est intéressant de constater que l'utilisation de la nouvelle structure dans un S/H en charges donnera de meilleures performances sur presque tous les critères.

**Tableau 4.6-2 Comparaison qualitative des amplificateurs à transconductance**

Structure	f <sub>3dB</sub>	consommation	gm	rapport consom.-gm	linéarité	bruit à la sortie
Nauta	√√√	√	√	√	√√√	√√√
Karvonen	√	√√	√√	√√√	√√	√√√
Nedungadi	<b>x</b>	√	√	√√	√	√√
Koyama	√	√√	√√	√√	√√	√
Structure proposée	√√	√√√	√√√	√√√	√√√	√√

En ce qui concerne l'étage de sortie, afin d'exploiter le courant généré par le cœur de l'amplificateur, un miroir de courant est nécessaire, comme illustré sur la Figure 4.6-6. La structure de l'étage de sortie est une duplication exacte du cœur de l'amplificateur avec le même courant de polarisation. Une tension de référence égale au mode commun des signaux d'entrée du cœur est appliquée à la grille des transistors MP3/MN7 et MP4/MN8. Cela permet d'entretenir un facteur de multiplication précis.

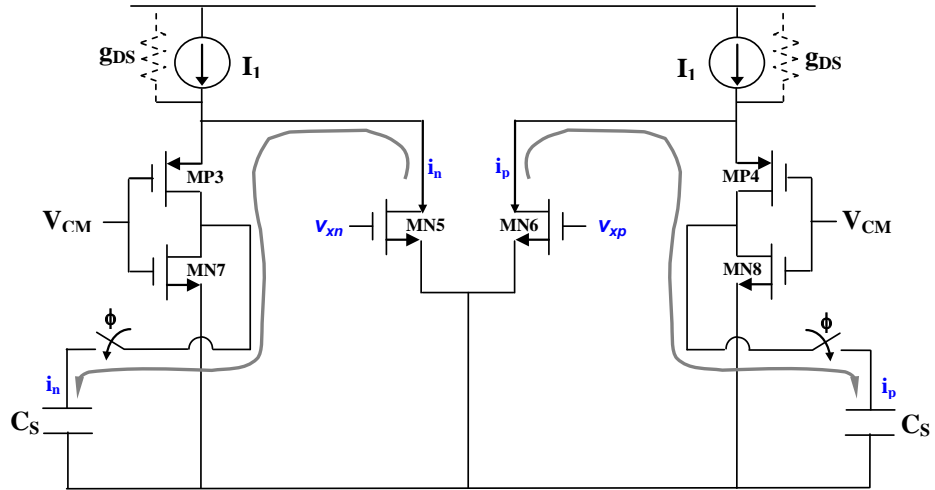


Figure 4.6-6 L'étage de sortie de la structure proposée

#### 4.6.1 Défauts de l'amplificateur à transconductance pour l'échantillonnage en charges

Quel que soit le choix de l'amplificateur à transconductance, les éléments parasites du circuit vont avoir une influence critique sur la réponse fréquentielle du filtre RIF. Sur la Figure 4.6-7, on présente un modèle simplifié de l'étage de sortie d'un amplificateur pendant la phase d'échantillonnage. Il est modélisé par une source de courant d'impédance de sortie  $R_{O2}$  chargée par une impédance  $R_{O1}$ . En outre, l'étage de sortie présente une capacité parasite  $C_p$ . Si l'impédance de sortie n'est pas suffisamment élevée par rapport à l'impédance du condensateur d'échantillonnage  $R_{SW} + 1/j\omega C_S$ , (où  $R_{SW}$  est la résistance du commutateur), une partie du courant généré  $i_o$  sera absorbée par  $R_{O1}$  et  $R_{O2}$ . La fonction transfert entre le courant généré par la source et le courant qui charge le condensateur d'échantillonnage  $C_S$ , est donné par :

$$H(s) = \frac{I_S(s)}{I_O(s)} = \frac{s}{C_P R_{SW}} \frac{1}{s^2 + \left( \frac{R_{SW} C_S + R_P C_P + R_P C_S}{R_P R_{SW} C_P C_S} \right) s + \frac{1}{R_P R_{SW} C_P C_S}}$$

$$R_P = R_{O1} // R_{O2}$$

Équation 4.6-3

L'Équation 4.6-3 est dérivée à partir du schéma de la Figure 4.6-7a. Il apparaît que le courant d'entrée subit un « filtrage » avant d'être échantillonné. La fonction transfert de l'échantillonnage est donc la combinaison de l'Équation 4.6-3 et de la fonction transfert de l'échantillonnage en charges donnée précédemment dans le Tableau 4.4-1,

$$H_{SH}'(s) = H(s)H_{SH}(s) = \frac{s}{C_P R_{SW}} \frac{1}{s^2 + \left( \frac{R_{SW} C_S + R_P C_P + R_P C_S}{R_P R_{SW} C_P C_S} \right) s + \frac{1}{R_P R_{SW} C_P C_S}} \frac{1 - e^{-sT_i}}{s C_S}$$

Équation 4.6-4

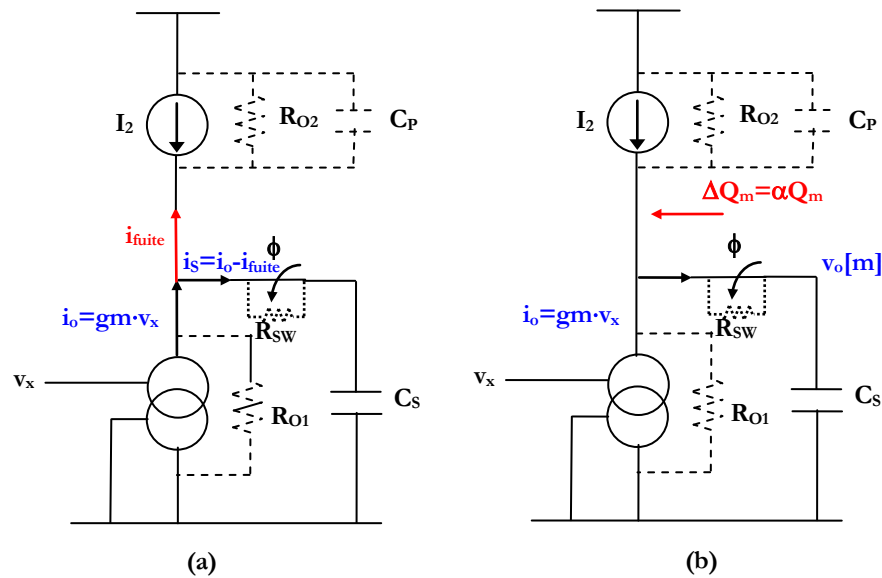


Figure 4.6-7 Perte de charges pendant la phase d'échantillonnage (a) effet du diviseur de courant (b) perte cumulative de charges

Puisque  $i_s$  n'est plus égal à  $i_o = g_m \cdot v_{in}$ , le filtre RIF subit une perte comme si la transconductance de l'amplificateur avait été réduite. Pour minimiser cette perte, une valeur élevée du condensateur d'échantillonnage  $C_S$  est recommandée. Cependant, on a déjà vu qu'une valeur élevée du condensateur nécessite une transconductance élevée ce qui est difficilement réalisable pour de très grandes fréquences d'échantillonnage.

Outre l'effet du diviseur de courant, une impédance de sortie faible peut également modifier les coefficients de la fonction transfert du filtre RIF. Rappelons que le filtre RIF est réalisé en intégrant le courant pendant  $N$  cycles successifs. C'est-à-dire que les charges s'accumulent sur le même condensateur pendant  $N$  cycles. Imaginons encore qu'après  $m$  échantillons, une charge nette accumulée  $Q[m]$  se trouve sur le condensateur avec une tension  $v[m] = Q[m]/C_S$ . Pendant le cycle d'échantillonnage suivant ( $m+1$ ), de nouvelles charges vont être injectées sur le condensateur. En même temps, en raison de l'impédance de sortie faible, une partie  $\Delta Q_m$  des charges existantes  $Q_m$  va se décharger dans l'impédance de sortie de la transconductance. La quantité de charges perdues  $\Delta Q_m = \alpha Q_m$  pourrait être caractérisée par l'Équation A4F-9<sup>28</sup>. Il

<sup>28</sup> ANNEXE 4F

apparaît que le facteur de perte  $\alpha$  est une fonction exponentielle des éléments parasites, de l'impédance de sortie, de la tension à la sortie de l'amplificateur à transconductance au moment de la fermeture du commutateur et de l'ordre de décimation N. Si la sortie de l'amplificateur n'est pas réinitialisée à une tension fixe pendant la phase de blocage, le circuit va être le siège d'un effet mémoire, ce qui va conduire à une altération des coefficients du filtre RIF. Il est donc impératif de réinitialiser la sortie à une tension fixe avant la fermeture du commutateur, pour minimiser l'impact de ce phénomène du bruit injecté.

A la fin de N cycles d'intégration, la charge totale, en tenant en compte de la perte cumulée, est donnée par,

$$Q_o = \sum_{m=1}^N Q[m](1 - \alpha^{(N-m)})$$

**Équation 4.6-5**

A mesure que la valeur de N augmente, les premiers échantillons  $Q_m$  subissent plus de perte puisque  $\alpha$  est proportionnel à une exponentielle négative. Par conséquent, les coefficients du filtre RIF sont modifiés selon la relation suivante,

$$H(z) = \sum_{m=1}^N h[m](1 - \alpha^{(N-m)})z^{m-1} = \sum_{n=1}^N h'[n]z^{n-1}$$

**Équation 4.6-6**

---

#### 4.6.2 Impact de la perte de l'intégration sur le filtre RIF

Sur la Figure 4.6-8, les éléments parasites d'un échantillonneur en charges sont représentés. Cet échantillonneur de charges est utilisé pour réaliser le filtre RIF. A la différence de l'implémentation à capacités commutées de la Figure 4.3-1, un seul condensateur est nécessaire pour une décimation par un facteur N, ce qui réduit la capacité parasite à la sortie de l'amplificateur ainsi qu'à l'entrée de l'OTA. Pourtant, ce circuit souffre des défauts de perte de charges expliquées précédemment.

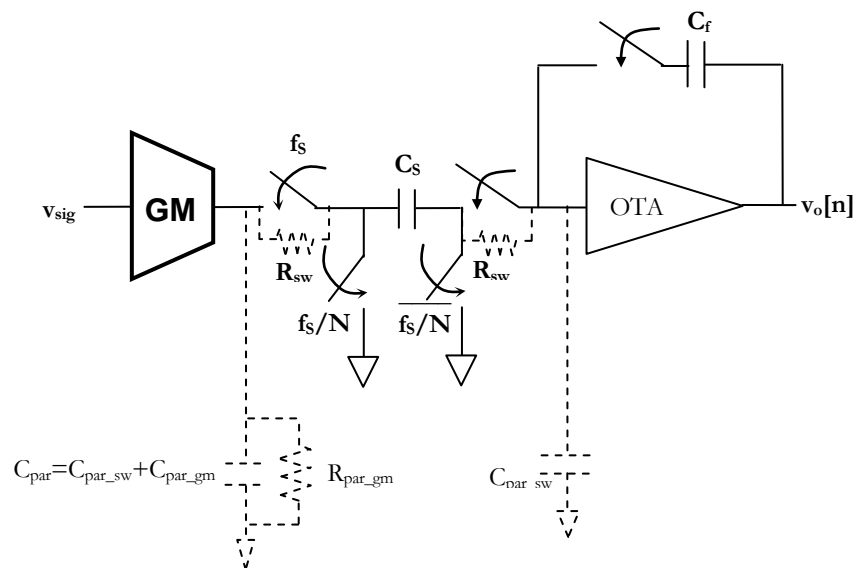


Figure 4.6-8 Un simple filtre RIF

Deux conséquences peuvent être observées. D'abord, comme l'on pouvait s'y attendre, le gain, est réduit à mesure que la valeur de la capacité parasite augmente. Deuxièmement, l'atténuation dans la bande image (à  $-f/f_s=0,25$ ) est moins importante à cause de la modification des coefficients du filtre RIF due à la perte cumulative. La conséquence sur la réponse fréquentielle du filtre échantillonné sera présentée quantitativement dans le chapitre suivant.

#### 4.7 Conclusion

Pour ce qui est de la sensibilité à la gigue et de la souplesse de reconfiguration, notre étude démontre que l'échantillonnage en charges est plus adapté que l'échantillonnage en tension à l'architecture de récepteur choisie. Par conséquent, un cahier des charges de l'échantillonneur en charges est développé pour le filtre RIF. Différentes architectures pour la réalisation du filtre RIF sont examinées dans ce chapitre. En prenant en compte l'implémentation de l'échantillonneur avec la technologie CMOS 65 nm, le schéma de commutation de résistances est retenu pour le filtre RIF.

Pour la transconductance nécessaire à l'échantillonnage en courant, une comparaison est effectuée pour différentes structures. Le défaut majeur des structures évaluées est le faible gain lié. Une nouvelle structure est donc proposée pour minimiser l'impact du rapport  $gm/gds$ . Enfin, les défauts généraux des circuits qui limitent les performances de l'échantillonneur de charges sont analysés. En particulier on montre que la faible impédance de sortie de l'amplificateur à transconductance est un facteur dominant qui va fortement influencer les performances du filtre RIF. Des

simulations précises sont menées dans le chapitre suivant pour caractériser le rapport entre l'impédance de sortie et les performances du filtre.

# Chapitre 5 : Implémentation circuit et modélisation du filtre RIF complexe

<b>5.1</b>	<b>Introduction.....</b>	<b>101</b>
<b>5.2</b>	<b>Système Complet du filtre RF Complexe .....</b>	<b>101</b>
5.2.1	Programmation et génération d'horloges	
5.2.2	Pondération de gain	
5.2.3	Échantillonneur bloqueur	
5.2.4	Intégrateur à capacités commutées	
<b>5.3</b>	<b>Simulation des imperfections du filtre RIF .....</b>	<b>115</b>
5.3.1	<i>Influence de la dispersion sur la réponse fréquentielle</i>	
5.3.2	<i>Non-alignement des horloges d'échantillonnage</i>	
<b>5.4</b>	<b>Modèle comportemental du système .....</b>	<b>120</b>
5.4.1	<i>Effet des déphasages d'horloge</i>	
5.4.2	<i>Effet de l'impédance de sortie</i>	
5.4.3	<i>Effet de l'injection de charges</i>	
5.4.4	<i>Effet de la variation de la résistance de l'interrupteur</i>	
5.4.5	<i>Effet de la variation de la tension de seuil</i>	
5.4.6	<i>Importance de la remise à zéro</i>	
5.4.7	<i>Influence de gigue sur le bruit d'échantillonnage</i>	
<b>5.5</b>	<b>Performances simulé .....</b>	<b>133</b>
<b>5.6</b>	<b>Difficultés de réalisation .....</b>	<b>134</b>
<b>5.7</b>	<b>Conclusion .....</b>	<b>135</b>



---

## 5.1 Introduction

Dans ce chapitre, le récepteur échantillonné proposé est étudié en simulation. Les modèles comportementaux de Simulink™ et vhdl ams ont été créés pour évaluer les différentes imperfections du système : les imperfections d'horloge d'échantillonnage et les imperfections du circuit réel. A la fin de ce chapitre, un résumé est donné sur la dégradation globale due aux imperfections par rapport à un système idéal.

---

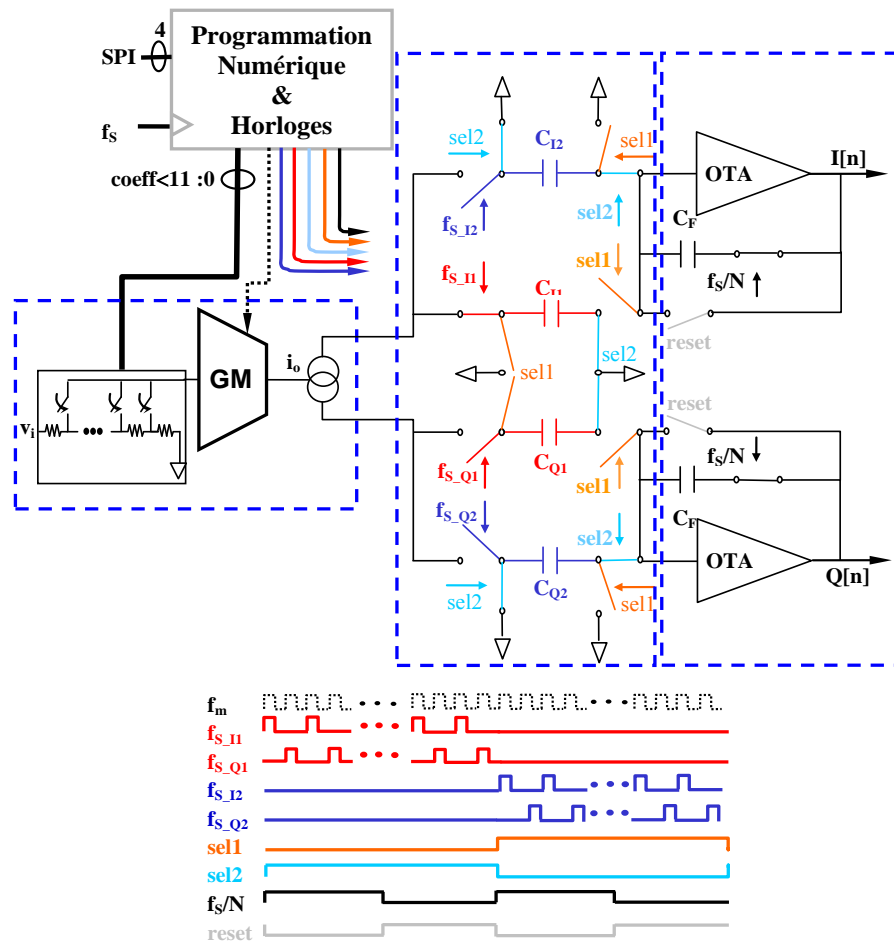
## 5.2 Système complet du filtre RIF complexe

Le schéma de la Figure 5.2-1 est une représentation simplifiée du filtre RIF réalisé avec la technologie CMOS 65 nm. Ici, seule la version single du filtre RIF est illustrée. Globalement, le circuit peut être partitionné en trois parties : la partie numérique (intégrant la génération des horloges d'échantillonnage et la programmation de registres), la partie de l'échantillonnage (composé de l'amplificateur à transconductance à gain pondéré, des commutateurs et des condensateurs d'échantillonnage), et enfin la partie de l'intégration à capacités commutées pour l'étage de sortie. L'intégrateur à capacités commutées pourrait être l'étage d'entrée d'un convertisseur analogique numérique.

La partie numérique contient les registres programmables pour configurer le mode de fonctionnement (i.e. filtrage passe bas, filtrage complexe) et paramétrer les valeurs et le nombre des coefficients du filtre RIF. La programmation est réalisée par une interface série SPI<sup>29</sup>.

---

<sup>29</sup> Synchronous Peripheral Interface



**Figure 5.2-1 Diagramme de circuit single du filtre RIF complexe**

Les commutateurs de l'échantillonneur bloqueur sont normalement commandés par huit horloges distinctes. Ici, pour simplifier la figure, quatre horloges seulement sont illustrées :  $f_{s\_I1}$ ,  $f_{s\_Q1}$ ,  $f_{s\_I2}$ ,  $f_{s\_Q2}$ <sup>30</sup>. En réalité, chacune de ces quatre horloges est constituée de deux horloges séparées : l'une pour les coefficients positifs, et l'autre pour les coefficients négatifs. Ces quatre horloges définissent le condensateur sur lequel l'intégration aura lieu selon la phase d'échantillonnage I et Q. Pour une décimation de  $N$ , l'intégration de courant se fait sur l'un des deux groupes de condensateurs :  $C_{I1}/C_{Q1}$  ou  $C_{I2}/C_{Q2}$ . Deux groupes de condensateurs sont nécessaires dans chaque voie I et Q puisqu'elles accorderont plus de temps pour évacuer et décharger les charges accumulées sur les condensateurs vers l'intégrateur à capacités commutées. Cela supprime également la nécessité d'utiliser un OTA avec un très grand produit gain-bande passante. La réalisation de chaque partie est détaillée par la suite.

<sup>30</sup> Il sera démontré plus tard qu'au total, il y a huit horloges pour distinguer l'intégration du signal positif et négatif

---

### 5.2.1 Programmation et génération d'horloges

Pour le filtre RIF complexe proposé, la réponse fréquentielle peut être modifiée via une programmation de coefficients ainsi qu'une reconfiguration de séquence d'horloges d'échantillonnage. Un bloc programmable de génération d'horloges est ainsi nécessaire pour réaliser la reconfiguration. La séquence d'horloges est générée à partir de deux horloges externes : l'une à fréquence maximale de  $f_s=1,25$  GHz ; l'autre à un sous multiple de la première à  $f_s/N$ . Cette division est effectuée en interne par le bloc de génération d'horloges. Toutes les horloges d'échantillonnage sont distribuées pour commander les commutateurs de l'échantillonneur à partir de ce bloc (voir Figure 5.2-2).

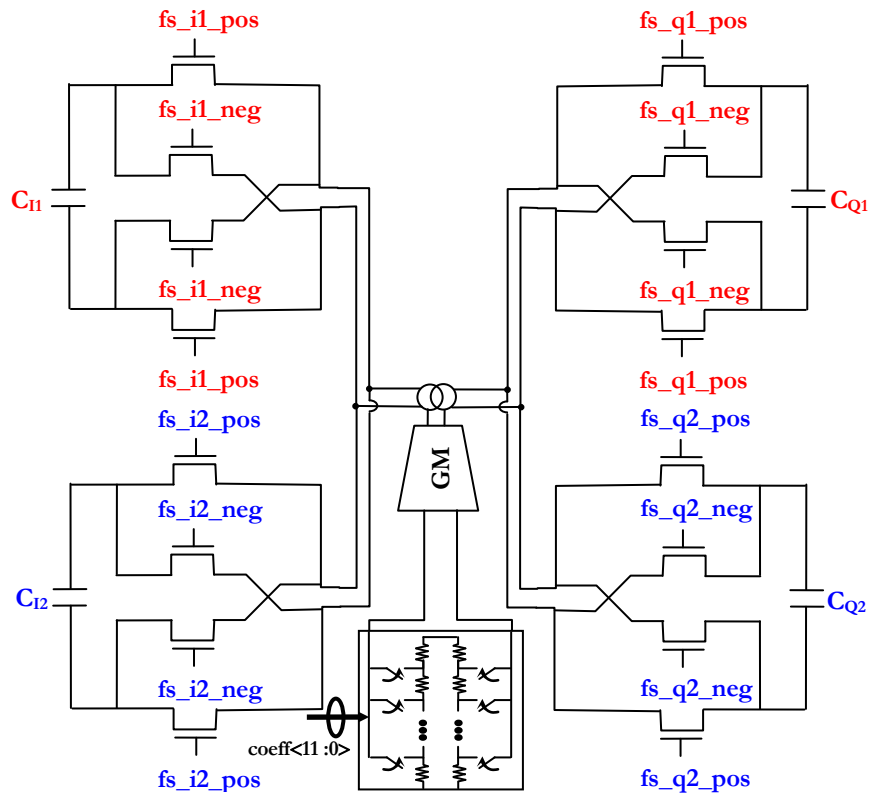
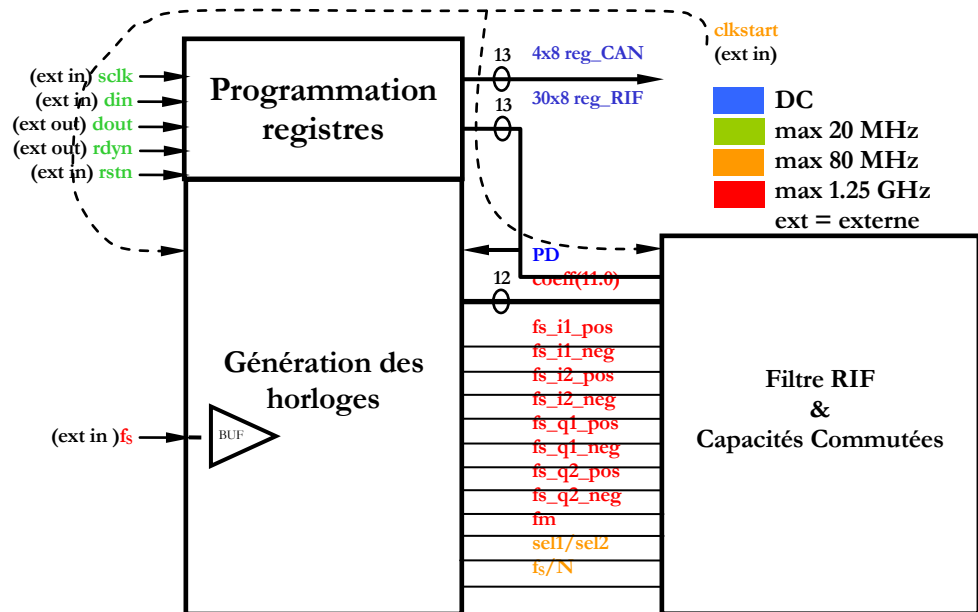
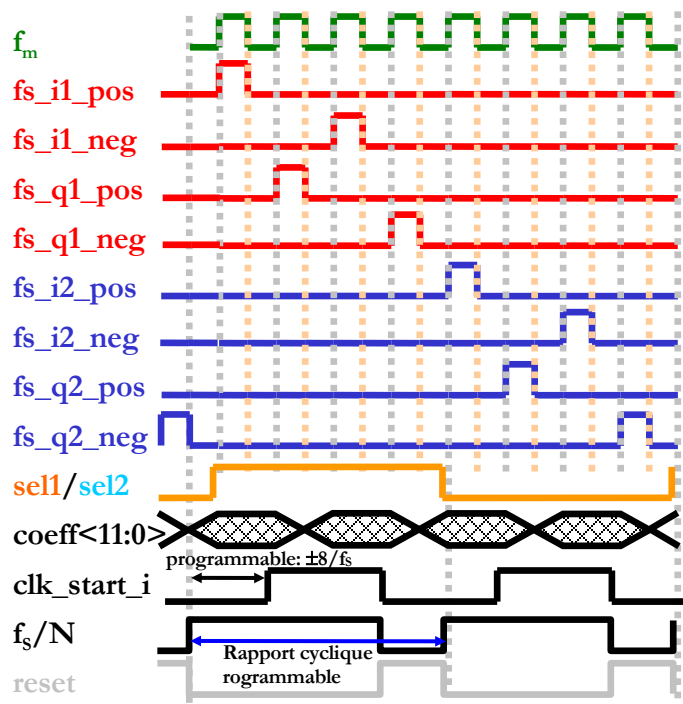


Figure 5.2-2 Liaisons des horloges d'échantillonnage du bloc de génération d'horloges

Par ailleurs, la Figure 5.2-2 présente le schéma du circuit S/H différentiel exploité pour la réalisation du filtre RIF complexe. Le gain de l'échantillonneur (i.e. les coefficients) est modifié par un bus parallèle « *coeff<11:0>* ». Le signe des coefficients est déterminé en activant les commutateurs concernés par les horloges selon le croisement ou le non-croisement du signal (« *pos* » signifie non croisé tandis que « *neg* » signifie croisé). Enfin, les horloges « *f<sub>s</sub><sub>xx</sub>* » déterminent le placement ainsi que le nombre d'échantillons sur chaque condensateur (i.e. sur le condensateur de voie I ou Q ; sur le condensateur de groupe 1 ou 2).

A titre d'exemple, une séquence d'horloge avec une décimation par un facteur 4 est illustrée sur la Figure 5.2-3. Le signe de la séquence des coefficients générés pour le filtrage complexe est {+ + - -}. Sur cette figure, on constate que le bus « *coeff<11:0>* » est rechargé seulement après chaque front descendant de l'horloge « *f<sub>m</sub>* ». Cela signifie que le gain ne change qu'après la fin de chaque cycle d'intégration, ce qui permet non seulement de minimiser l'injection de charges, mais aussi de maximiser le temps nécessaire pour le re-établissement du signal d'entrée chaque fois qu'un nouveau coefficient est requis<sup>31</sup>.



**Figure 5.2-3** Séquence des horloges générées avec N=4

<sup>31</sup> Idéalement, le signal devrait se stabiliser avant le prochain cycle d'échantillonnage à la sortie de l'amplificateur à transconductance chaque fois que le gain est modifié au bloc à gain pondéré

De plus, pour transférer les charges vers l'intégrateur à capacités commutées, l'horloge «  $f_s/N$  » est synchronisée avec la fin de chaque cycle de décimation. Une horloge «  $clk\_start\_i$  » est générée à partir de l'horloge externe «  $clk\_start$  ». Cette horloge «  $clk\_start\_i$  » peut être décalée par programmation de  $\pm 8$  cycles de «  $f_s$  » qui, par le biais d'une logique combinatoire, génère un rapport cyclique pouvant être différent de 50% pour l'horloge «  $f_s/N$  ». Cela peut prolonger la durée du transfert de charges vers la sortie, le cas échéant.

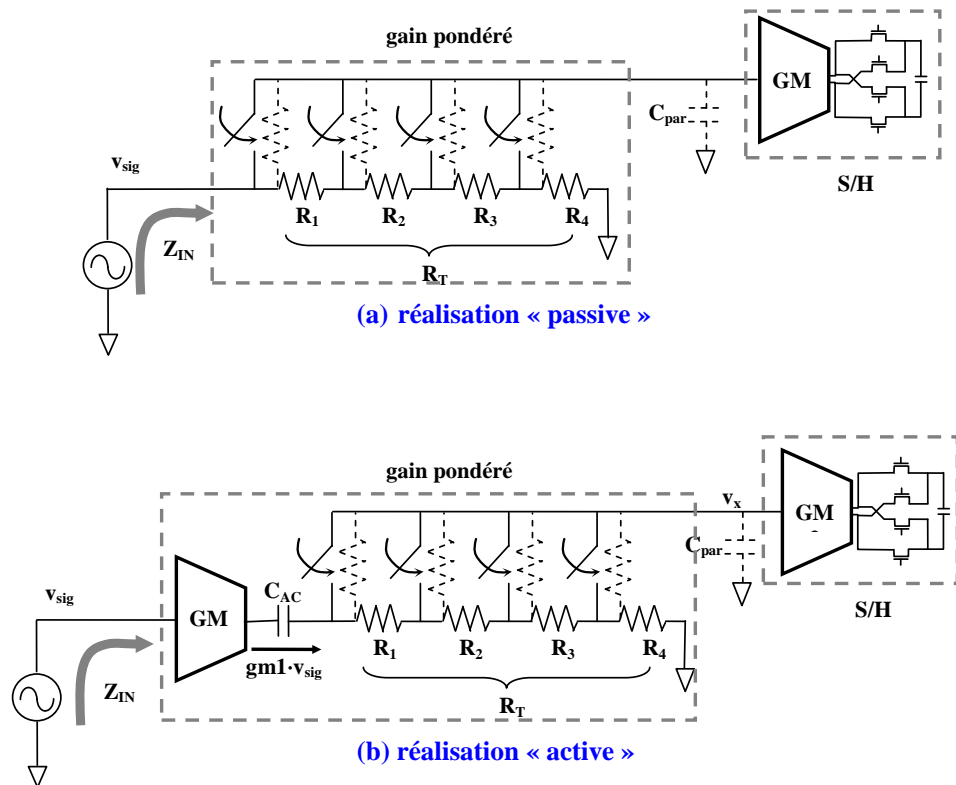
Le bloc de génération d'horloge est programmable par l'intermédiaire d'une interface série SPI. Parmi les 34x8 bits registres prévus, 4 registres sont réservés pour une future intégration d'un CAN.

---

### 5.2.2 Pondération de gain

Le bloc de pondération de gain avec une division résistive, introduit dans le chapitre 4, est un bloc purement passif. Pourtant, en mettant en place un réseau de résistances directement devant un amplificateur à transconductance, l'échantillonneur pourrait entraîner une dégradation de bande passante et de bruit. On observe également un effet indésirable sur le filtre BAW devant l'échantillonneur avec une impédance d'entrée qui varie, même légèrement, selon la position des commutateurs. Pour éviter ce problème, dans la réalisation finale, le diviseur à résistances est isolé de l'entrée du filtre à échantillonnage avec un autre amplificateur à transconductance, comme illustré sur la Figure 5.2-4. C'est une réalisation finalement « active » du bloc à gain pondéré. Le fait d'avoir deux blocs de gain séparés apporte certains avantages en termes de réalisation avec la technologie 65 nm. Il a été observé pendant la conception que la transconductance de 5,5 mS spécifiée pour le filtre RIF aurait été difficilement réalisable avec un seul amplificateur compte tenu de l'effet des parasites à 1 GHz et du rapport  $gm/g_{DS}$  faible. Augmenter la transconductance par multiplication de miroir de courant n'est pas non plus optimal en raison des capacités parasites ajoutées. La duplication des étages de gain apporte donc une solution naturelle.

Les deux amplificateurs à transconductance sont identiques et réalisés avec la structure proposée dans la section 4.5. Dans cette réalisation « active », la transconductance totale est pondérée par le gain  $v_{sig}/v_x$  défini par le ratio de la transconductance  $gm_1$  et la résistance commutée  $R_T$  multipliée ensuite par la transconductance  $gm_2$ . Les résistances commutées sont commandées par le bus «  $coeff<11:0>$  ». La première transconductance  $gm_1$  est générée à partir d'une résistance interne tout comme la deuxième transconductance. Les coefficients du filtre restent donc une fonction du rapport entre les résistances, indépendante de la technologie ou de la température.



**Figure 5.2-4 Réalisation du bloc de gain pondéré avec quatre ratios possibles**

Un autre atout de la réalisation active est une impédance d'entrée constante. En revanche, l'amplificateur doit disposer d'une bande passante suffisamment large pour faire passer le signal d'entrée. Néanmoins, la bande passante limitée de l'amplificateur pourrait être aussi avantageuse en filtrant le bruit à hautes fréquences. Un condensateur de découplage  $C_{AC}$  est nécessaire pour éviter la transmission d'un offset DC à l'entrée du deuxième amplificateur en cas de désappariement des transistors et des résistances de l'étage différentiel. Le schéma de réalisation de l'amplificateur à transconductance est donné sur la Figure 5.2-5 au niveau transistor.

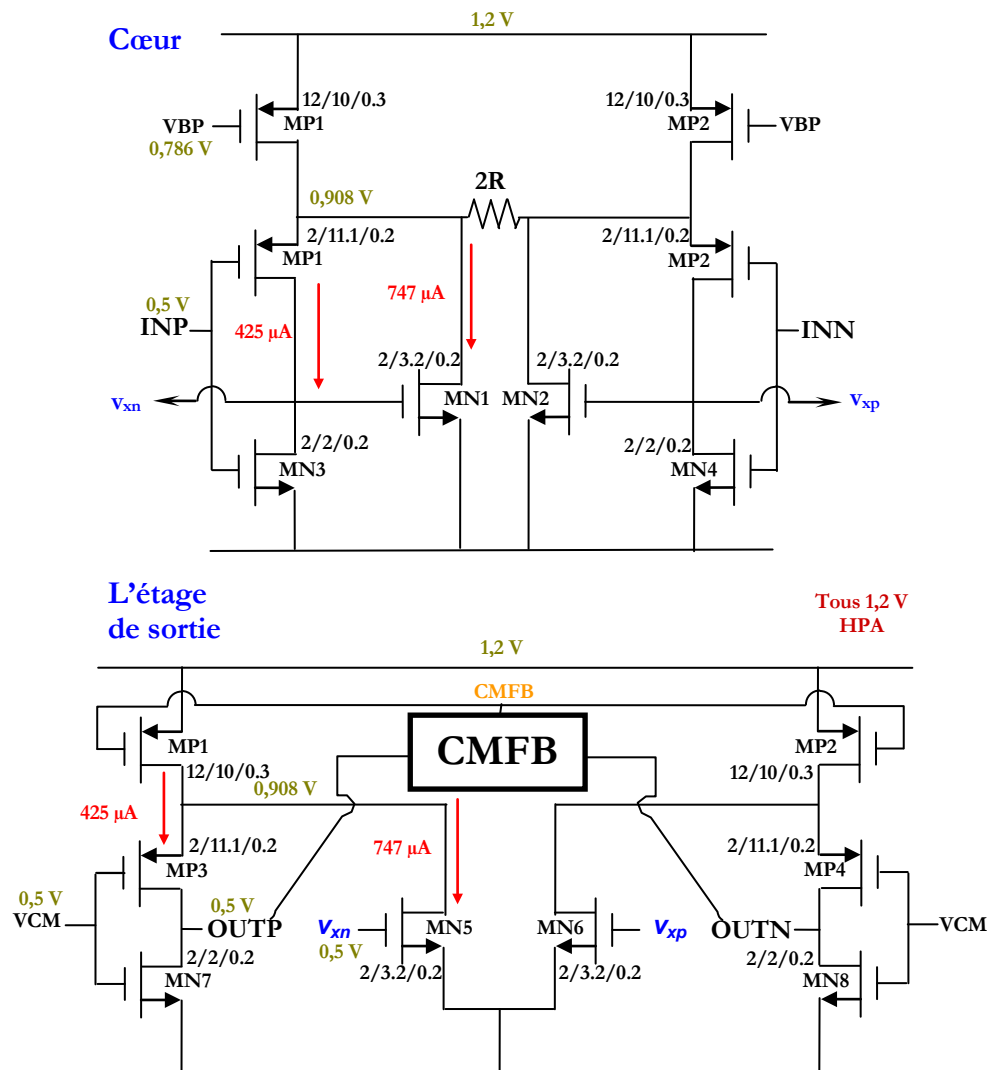
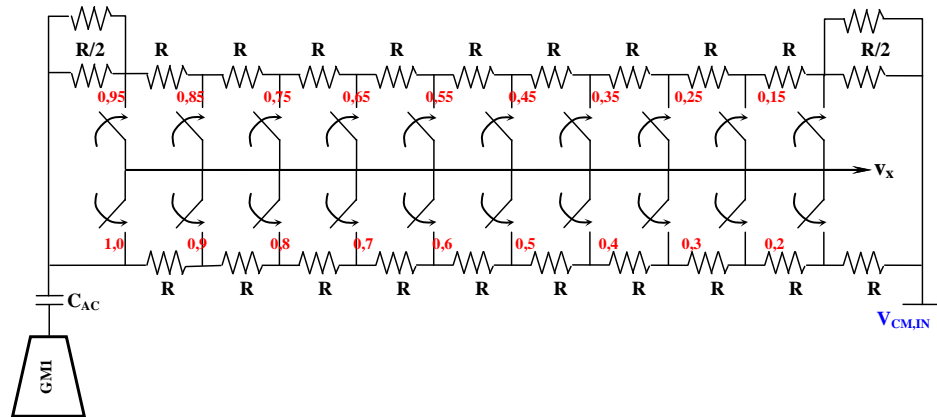


Figure 5.2-5 L'amplificateur à transconductance pour le bloc de gain pondéré

Le mode commun de l'amplificateur est géré par un circuit de contre réaction de mode commun présenté passif, qui ne dissipe aucune puissance [5-1][4-3]. Le signal de mode commun  $V_{CM,OUT}$  à la sortie de l'amplificateur est « mesuré » pendant la phase de blocage en fermant les commutateurs connectés à la sortie différentielle. Ces deux commutateurs sont commandés par l'horloge  $f_m$ , et le signal  $CMFB$  est rajusté pendant la phase d'échantillonnage pour rétablir  $V_{CM,OUT}$ . Le schéma détaillé du circuit sera présenté ultérieurement (Figure 5.2-11).



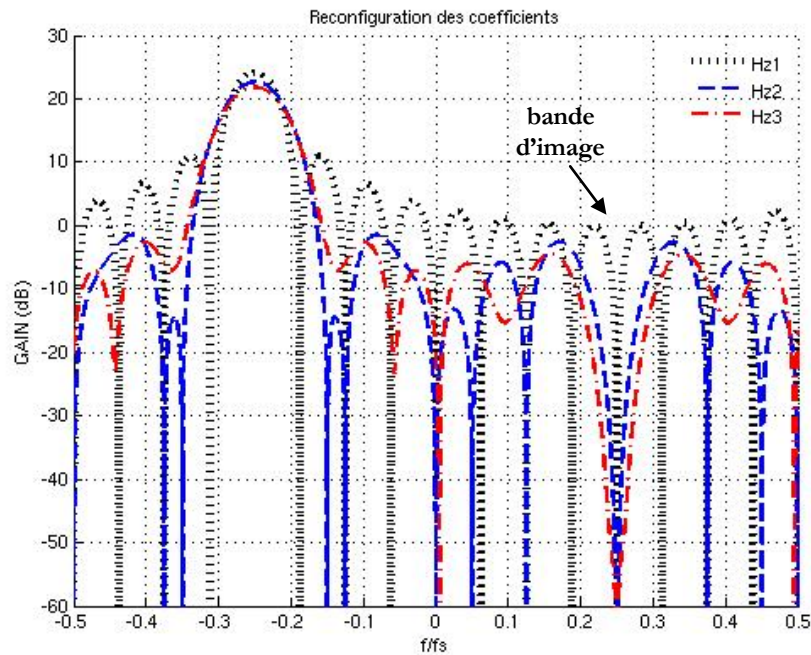


**Figure 5.2-6 Diviseur à résistance pour le bloc de gain pondéré avec 19 coefficients**

Enfin, pour le prototype du filtre RIF prévu, 19 coefficients de gain sont possibles : de 0,05 à 1 par pas de 0,05. La représentation single du diviseur à résistance est illustrée sur la Figure 5.2-6. Les commutateurs sont commandés par un simple bloc de logique combinatoire (non représenté ici) piloté par le bus « *coeff<11:0>* ». Les résistances sont toutes de la même dimension pour assurer une dispersion minimum. Le fait d'avoir de nombreux coefficients avec une résolution fine accorde plus de souplesse pour réadapter le filtrage en fonction du signal d'entrée. Sur la Figure 5.2-7 sont présentées les différentes réponses fréquentielles avec les trois séries différentes de coefficients suivantes :

$$\begin{aligned}
 Hz1 &= (1,00 - j0,00) + (0,00 - j1,00) + (-1,00 + j0,00) + (0,00 + j1,00) + (1,00 - j0,00) + (0,00 - j1,00) + (-1,00 + j0,00) + (0,00 + j1,00) \\
 &\quad + (1,00 - j0,00) + (0,00 - j1,00) + (-1,00 + j0,00) + (0,00 + j1,00) + (1,00 - j0,00) + (0,00 - j1,00) + (-1,00 + j0,00) + (0,00 + j1,00) \\
 Hz2 &= (0,20 - j0,20) + (-0,20 - j0,20) + (-0,40 + j0,40) + (0,60 + j0,60) + (0,60 - j0,60) + (-0,80 - j0,80) + (-0,80 + j0,80) + (1,00 + j1,00) \\
 &\quad + (1,00 - j1,00) + (-1,00 - j1,00) + (-0,80 + j0,80) + (0,60 + j0,60) + (0,60 - j0,60) + (-0,40 - j0,40) + (-0,40 + j0,40) + (0,20 + j0,20) \\
 Hz3 &= (0,20 - j0,20) + (-0,30 - j0,30) + (-0,35 + j0,35) + (0,45 + j0,45) + (0,55 - j0,55) + (-0,80 - j0,80) + (-0,80 + j0,80) + (1,00 + j1,00) \\
 &\quad + (1,00 - j1,00) + (-0,80 - j0,80) + (-0,80 + j0,80) + (0,55 + j0,55) + (0,4 - j0,4) + (-0,30 - j0,30) + (-0,25 + j0,25) + (0,15 + j0,15)
 \end{aligned}$$

**Équation 5.2-1**

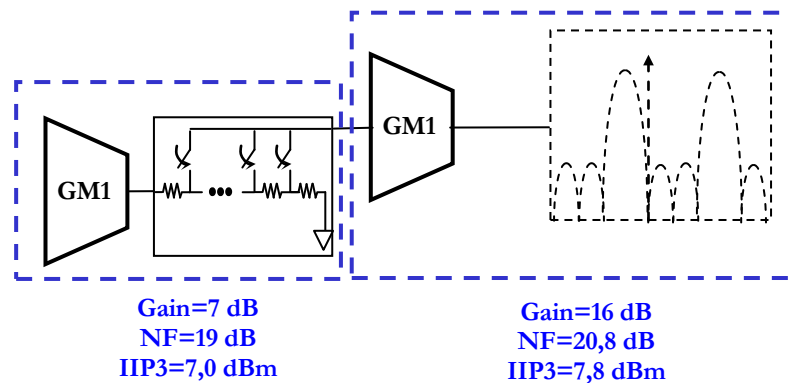


**Figure 5.2-7 Réponse fréquentielle pour les différents coefficients du filtre RIF**

Les séries de coefficient  $H_{z2}$  et  $H_{z3}$  offrent une meilleure réjection d'image autour de la fréquence  $0,25f/fs$  que la série  $H_{z1}$ . De plus, en paramétrant les coefficients par pas de 0,05, il est possible de faire un compromis entre une meilleure sélectivité au premier repliement ( $H_{z2}$ ) et une meilleure réjection d'image ( $H_{z3}$ ). Afin de rendre le filtre encore plus reconfigurable, il est également envisageable d'avoir une résistance active commandée par un signal de commande analogique pour obtenir des paliers de résistance beaucoup plus fins. Cela réduirait la capacité parasite globalement. Néanmoins, le problème lié à la non-linéarité d'une résistance active devrait tout d'abord être traité. Ce point n'a pas été traité dans cette thèse.

### 5.2.3 Échantillonneur bloqueur

Le cœur de l'amplificateur à transconductance du circuit S/H est identique à celui du bloc à gain pondéré de la Figure 5.2-5. En revanche, deux étages de sortie en parallèle sont nécessaires pour les deux voies I et Q. La structure globale de l'échantillonneur est présentée sur la Figure 5.2-2. Ici, un cahier des charges (Tableau 5.2-1) a été développé pour la combinaison du bloc de gain pondéré et de l'échantillonneur.



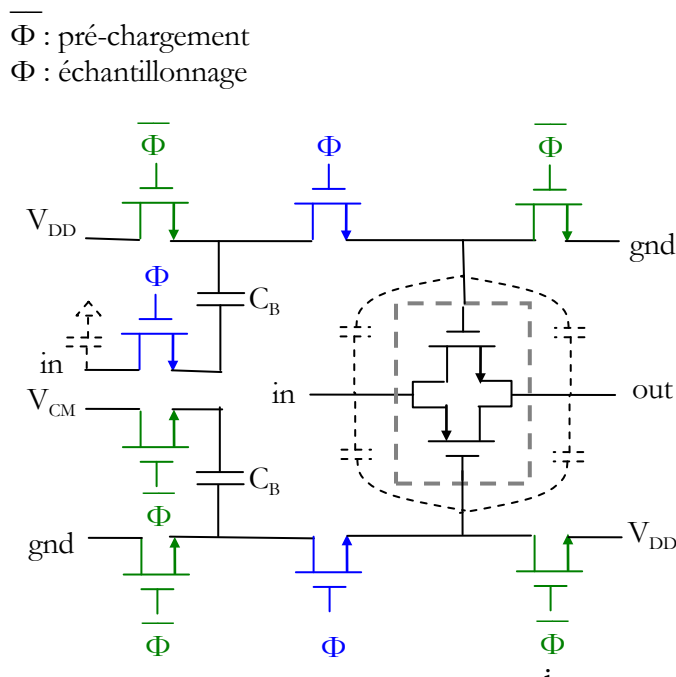
**Figure 5.2-8 S/H avec le bloc de gain pondéré**

**Tableau 5.2-1 Cahier des charges des amplificateurs à transconductance**

	Cahier des charges GM1	GM1 Simulé		Cahier des charges GM2	GM2 simulé
<b>gain max</b>	7 dB	6,4 dB	<b>GM</b>	2,5 mS	4,1 mS
<b>Bande passante</b>	> 1 GHz	> 1 GHz	<b>Bande passante</b>	> 1 GHz	> 1 GHz
<b>bruit d'entrée</b>	<18,6 $\mu$ VRMS	17,7 $\mu$ VRMS	<b>bruit d'entrée</b>	<84 $\mu$ VRMS	64 $\mu$ VRMS
<b>IIP3</b>	>3 dBm	3 dBm	<b>IIP3</b>	>4,9 dBm	9 dBm

Les commutateurs de l'échantillonneur sont des interrupteurs CMOS. Les dimensions des transistors sont choisies pour minimiser l'injection de charges en présence des deux horloges en opposition de phase.

Un commutateur « bootstrap » comme illustré sur la Figure 5.2-9 a été considéré afin de réduire la dépendance de la résistance de canal sur le signal d'entrée, ce qui améliorera la linéarité de l'échantillonnage<sup>[5-2]</sup>. Malheureusement, ce circuit « bootstrap » augmente les capacités parasites (dessinées en pointillé) qui dégradent davantage les performances de l'amplificateur à transconductance. L'utilisation des commutateurs à très basse tension de seuil a donc été privilégiée.



**Figure 5.2-9 Commutateur « bootstrap »**

#### 5.2.4 Intégrateur à capacités commutées

L'étage de sortie du filtre RIF complexe consiste essentiellement en un intégrateur à capacités commutées. Les charges sur le condensateur d'échantillonnage dans la voie I et la voie Q sont transférées vers deux intégrateurs à capacités commutées simultanément à la fin d'une séquence de décimation quand l'horloge «  $f_s/N$  » est activée. Il a été expliqué précédemment que la durée de ce transfert peut être prolongée par le biais d'une programmation du rapport cyclique. L'horloge « reset » remet à zéro les condensateurs  $C_F$  et les condensateurs d'échantillonnage I et Q connectés à l'entrée de l'OTA. Le temps de remise à zéro s'avère plus court que l'intégration. La valeur de  $C_F$  est fixée à un dixième de celle de  $C_S$ , i.e. 200 fF, pour donner un gain de 20 dB. A partir du cahier des charges pour le bloc de l'intégrateur à capacités commutées dans le Tableau 3.3-1, le cahier des charges de l'OTA est développé et résumé dans le Tableau 5.2-2.

Tableau 5.2-2 Cahier des charges de l'étage de sortie

Cahier des charges capa. comm.		Cahier des charges OTA		OTA simulé	
gain	20 dB	Gain DC	>60 dB	gain DC	50 dB
fréquence d'échantillonnage	>80 MHz	fréquence de coupure	>400 MHz	fréquence de coupure	1,78 GHz
bruit d'entrée	<110 $\mu$ V <sub>RMS</sub>	bruit d'entrée	<77 $\mu$ V <sub>RMS</sub>	bruit d'entrée	303 $\mu$ V <sub>RMS</sub>
IIP3	>24 dBm	IIP3	>30 dBm	IIP3	14 dBm

Pour limiter la perte de gain à 0,1%, l'OTA devrait avoir un gain minimum de 60dB. Il s'avère que ce chiffre est difficilement réalisable à cause d'un rapport  $gm/g_{DS}$  trop faible avec les transistors 65nm alimentés à 1,2V. Par conséquent, il a fallu recourir aux transistors 2,5V pour la conception de l'OTA. La longueur de canal minimum pour ce type de transistor est 0,28 $\mu$ m. L'utilisation d'une alimentation de 2,5V permet également d'obtenir une dynamique et une linéarité plus élevée en sortie. De plus, le convertisseur analogique numérique exploite également ces transistors.

Une structure télescopique de l'OTA a été choisie pour maximiser la bande passante de l'amplificateur. L'alimentation à 2,5V permet l'utilisation d'une structure à cascode régulée pour augmenter le gain DC. Un schéma est donné sur la Figure 5.2-10. On constate qu'à certains endroits, il était nécessaire d'exploiter les transistors 1,2V afin d'obtenir une marge de dynamique suffisante pour le signal de sortie, même si l'utilisation de ces transistors à faible  $g_{ds}$  diminue le gain DC.

Comme l'amplificateur à transconductance, le mode commun de l'OTA est contrôlé par une boucle de contre réaction passive. Le circuit présenté sur la Figure 5.2-11, est entièrement différentiel. Le signal différentiel de sortie de l'OTA est lié directement aux condensateurs  $C_{PI}$  et  $C_{NI}$  à l'entrée du circuit de mode commun. Les condensateurs  $C_{PI}$  et  $C_{NI}$  servent également à stabiliser la boucle de contre action de l'OTA.

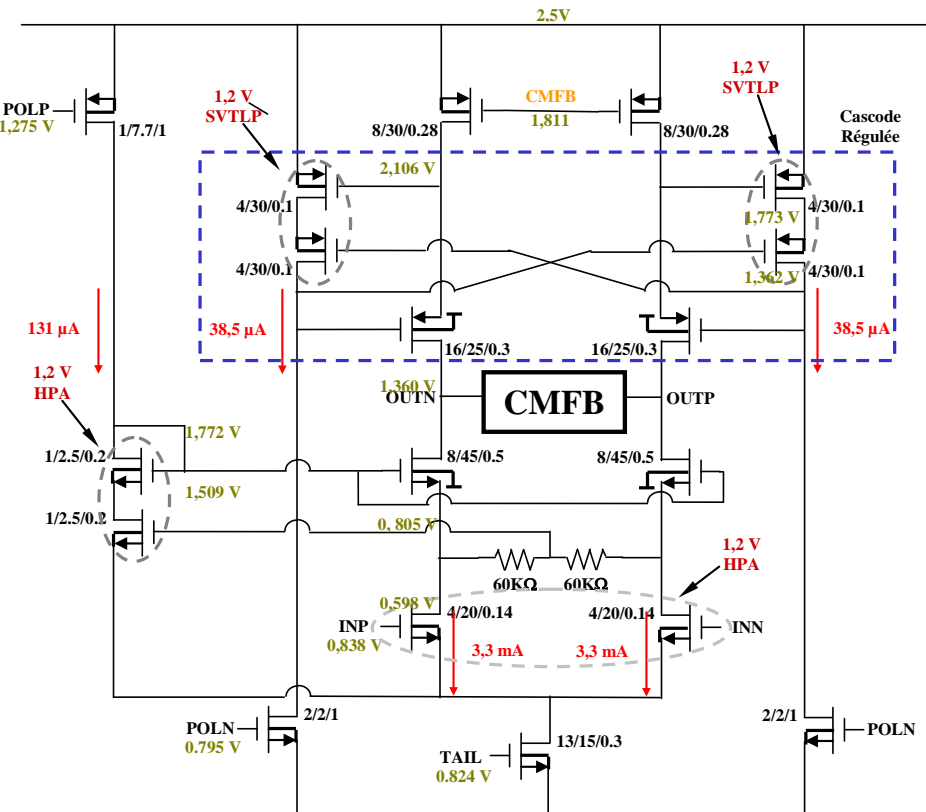


Figure 5.2-10 OTA télescopique

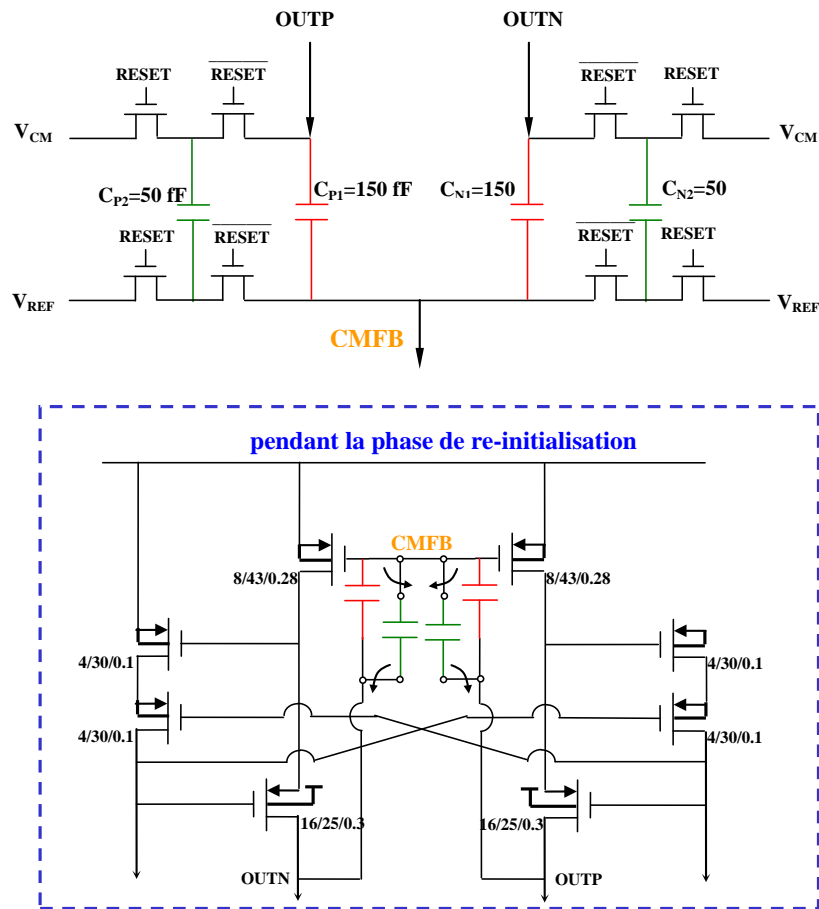


Figure 5.2-11 Bloc de rétroaction de mode commun pour l'OTA

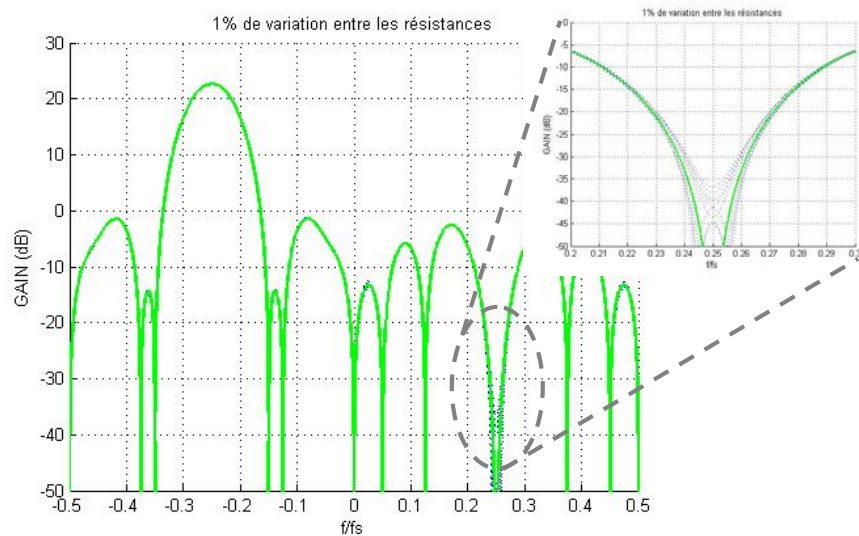
### 5.3 Simulation des imperfections du filtre RIF

Au chapitre 3, trois défauts majeurs de l'architecture proposée ont été exposés : l'influence de l'impédance de sortie de l'amplificateur à transconductance, l'altération des coefficients due aux éléments parasites et à la dispersion de transistors, et le décalage d'horloge d'échantillonnage. Les sections suivantes mettent en évidence l'impact de ces différents défauts par modélisation et simulation du filtre RIF complexe.

#### 5.3.1 Influence de la dispersion sur la réponse fréquentielle

Pour programmer le filtre RIF, les coefficients sont générés à partir d'un réseau de résistances. Ainsi, la précision de sélectivité du filtre dépend du degré d'appariement des résistances. En supposant un écart type de 1% entre les résistances, des simulations Monte Carlo ont été effectuées. La réponse fréquentielle du filtre ainsi

obtenue est tracée sur la Figure 5.3-1. Les coefficients de l'Équation 5.3-1 sont utilisés pour cette simulation.



**Figure 5.3-1 L'effet d'appariement de résistances**

$$h_i[1:16] = [0,2 - 0,2 - 0,4 0,6 0,6 - 0,8 - 0,8 1,0 1,0 - 1,0 - 0,8 0,6 0,6 - 0,4 - 0,4 0,2]$$

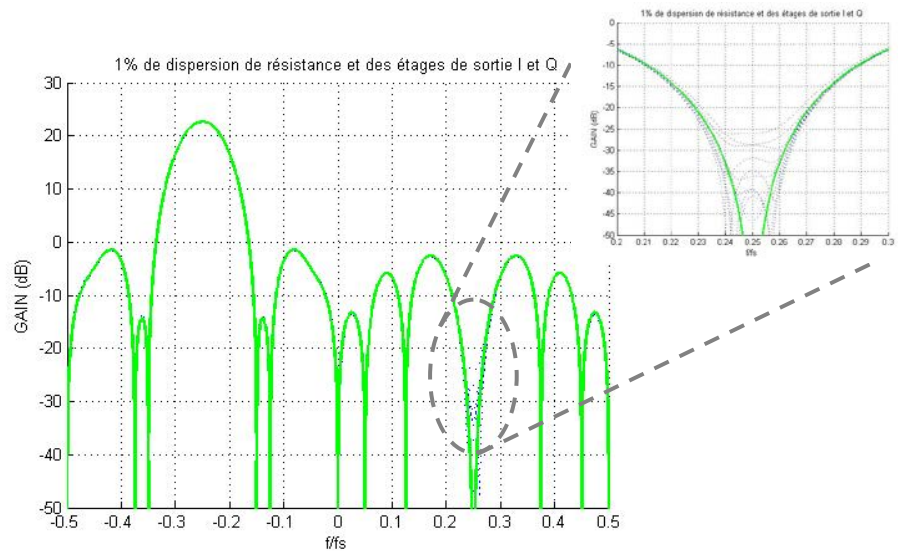
$$h_o[1:16] = [-0,2 - 0,2 0,4 0,6 - 0,6 - 0,8 0,8 1,0 - 1,0 - 1,0 0,8 0,6 - 0,6 - 0,4 0,4 0,2]$$

**Équation 5.3-1**

Pour la bande normalisée de signal utile autour de  $f/f_s = -0,25$ , peu de changement de gain est observé. En revanche, pour la bande image autour de  $f/f_s = 0,25$ , une dégradation des performances est observée. Pour la bande normalisée entre 0,245 et 0,255 (donc une bande de 12 MHz avec  $f_s = 1,2$  GHz), la perte d'atténuation peut atteindre 13 dB.

Compte tenu de la dispersion des résistances, des condensateurs et des étages de sortie, les réponses fréquentielles sont données sur la Figure 5.3-2. Dans le scénario le plus défavorable, l'atténuation dans la bande d'image sera inférieure de 19 dB à celle du scénario idéal. Donc pour une bande passante de 20 MHz, la réjection d'image pourrait varier entre 48 dB et 67 dB en raison des dispersions.

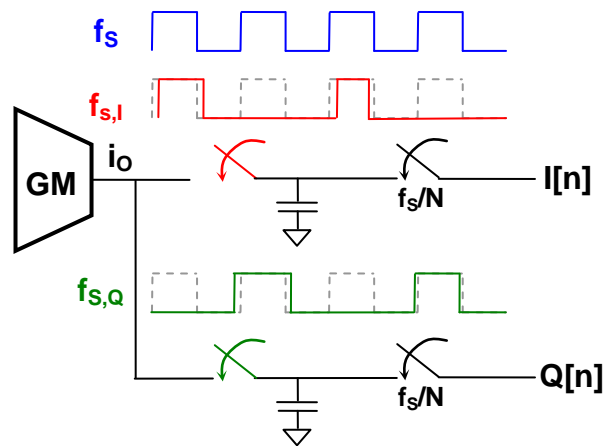




**Figure 5.3-2 Le défaut d'appariement de résistance et des étages de sortie**

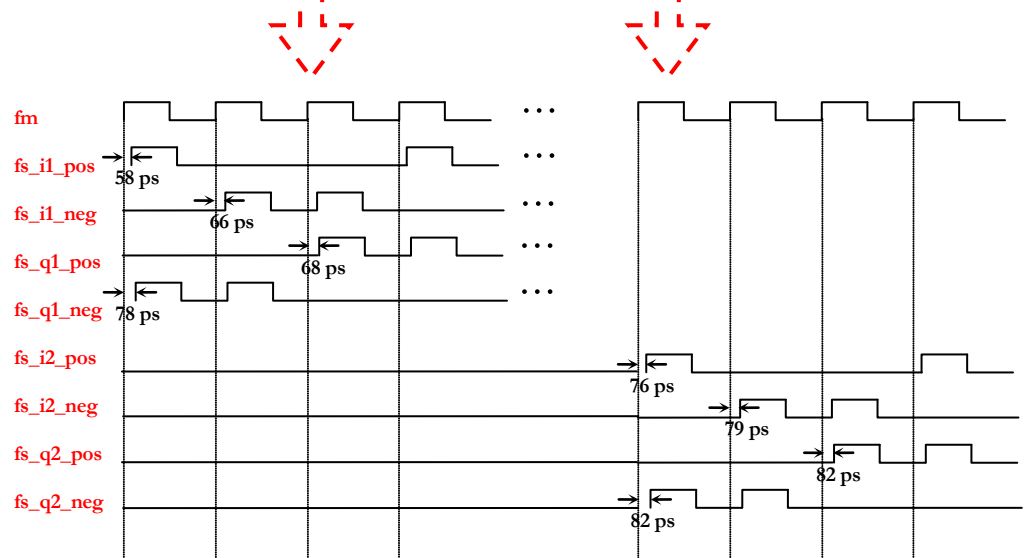
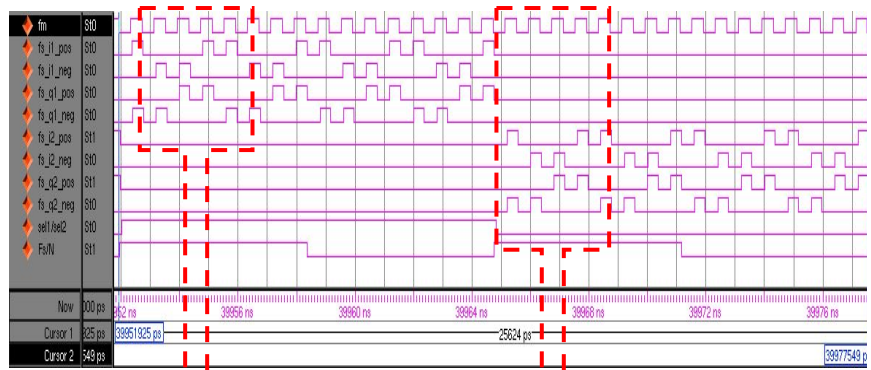
### 5.3.2 Non-alignement des horloges d'échantillonnage

Lors de la réalisation du circuit, des problèmes de déphasage et d'imprécision du rapport cyclique peuvent apparaître. Une illustration est donnée sur la Figure 5.3-3, où deux horloges en quadrature  $f_{s,I}$  et  $f_{s,Q}$  sont générées à partir d'une source d'horloge  $f_s$ . En fonction de la complexité des arbres d'horloge, des logiques combinatoires et surtout, des parasites du routage, les horloges  $f_{s,I}$  et  $f_{s,Q}$  seront « décalées et déformées » par rapport aux horloges idéales. Autrement dit, l'échantillonnage ne sera pas fait selon un intervalle régulier, ce qui peut générer des raies parasites. Les déphasages entre les horloges sont souvent inévitables lors des étapes de « placement et routage » compte tenu des parasites de portes logiques et des interconnexions, surtout avec une fréquence supérieure à 1,2 GHz.



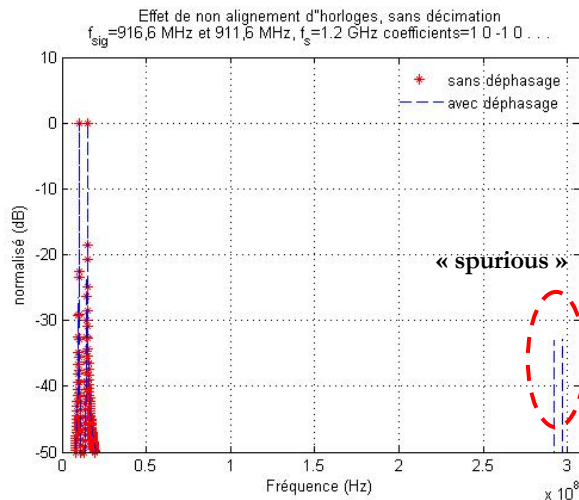
**Figure 5.3-3 Un exemple de déphasage des horloges**

Le diagramme de la Figure 5.3-4 représente les horloges d'échantillonnage après les étapes de « placement et routage ». Les valeurs de déphasage « post-layout » entre les horloges sont estimées et intégrées dans une simulation temporelle.



**Figure 5.3-4 Non-alignement des horloges après le placement et routage**

Ces décalages donnent naissance à des raies parasites. Sur la Figure 5.3-5, le spectre du signal échantillonné est donné. Ici, deux sinusoïdes à 10 MHz et 15 MHz de la fréquence porteuse du signal et respectivement de -41 dBm et -29 dBm de puissance, sont présentes à l'entrée et transposées en bande de base à la sortie. Nous observons des raies parasites lorsque les horloges sont déphasées. Par ailleurs, l'amplitude de ces « raies » grandit avec les déphasages.



**Figure 5.3-5 Effet de non-alignement des horloges avant décimation**

De plus, un autre problème plus gênant peut être généré par les déphasages d'horloge. En effet, si les voies I et Q ne sont plus échantillonnées en quadrature, le rapport de réjection d'image sera affaibli. Cette question ainsi que les autres difficultés relatives aux imperfections de circuit seront approfondies davantage dans les sections suivantes par le biais de simulations avec le modèle comportemental.

#### 5.4 Modèle comportemental du système

Pour étudier les performances du filtre RIF en détail, le choix d'une batterie de simulation au niveau transistor n'est pas une option idéale. Les temps de simulation s'avèrent excessifs puisque le circuit est piloté par plusieurs horloges qui tournent à plus de 1 GHz et qu'il est constitué d'une centaine de milliers de portes numériques. De plus, le traitement de post-simulation avec le fft nécessite une haute résolution spectrale, ce qui exige ainsi un grand nombre de points de simulation.

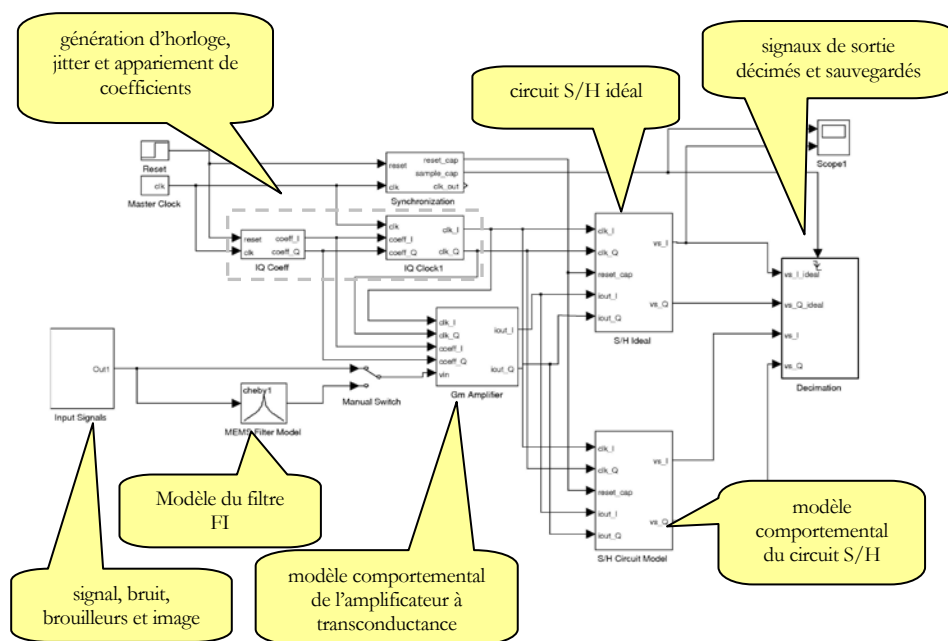
Nous avons donc décidé de procéder à la création de modèles comportementaux du filtre RIF complexe, ceci afin de pouvoir d'étudier séparément les effets apportés par chaque imperfection de circuit.

Dans ce travail, trois méthodes de modélisation du filtre RIF ont été examinées : avec Matlab™, avec Simulink™ et en utilisant VHDLAMS.

Le modèle développé sous Matlab offre le meilleur temps de simulation. Tous les signaux sont créés sous la forme de vecteur prédéfini, ce qui signifie que tous les points peuvent être traités simultanément.

Simulink est une façon plus « visuelle » de créer un modèle comportemental. Il permet de mettre en œuvre rapidement un système en s'appuyant sur les fonctions de *Laplace* équivalentes aux caractéristiques fréquentielles du circuit réel. Une vue globale du modèle Simulink est donnée sur la Figure 5.4-1. Par ailleurs, il est relativement aisé de définir les différentes configurations d'horloges et de coefficients

en Simulink. Pourtant, l'inconvénient majeur de Simulink (comme de Matlab) est la difficulté de modéliser un bloc bidirectionnel. Un modèle de commutateur, par exemple, qui lie l'amplificateur et le condensateur d'échantillonnage, a besoin d'une entrée/sortie bidirectionnelle. Le courant qui s'écoule vers le condensateur dépend non seulement de l'impédance à deux bornes du commutateur, mais aussi des tensions instantanées à ses deux bornes ; les charges injectées à l'ouverture et à la fermeture du commutateur dépendent de l'impédance des deux bornes du commutateur qui varient temporellement avec la tension de commande. Ces deux phénomènes sont difficilement modélisés avec les fonctions de *Laplace*, même avec des boucles de contre-réaction. Autrement dit, avec le modèle Simulink, il n'est pas facile de saisir les comportements propres du circuit.



**Figure 5.4-1 Schéma du modèle comportemental en Simulink™**

Le modèle VHDL-AMS (voir le schéma sur la Figure 5.4-2) est le moyen le plus direct de construire un modèle comportemental proche du circuit réel. Il est désormais possible d'intégrer le circuit numérique en description VHDL et de co-simuler avec la partie analogique (décrite sous la forme d'un modèle comportemental en VHDLAMS ou au niveau transistor). En remplaçant les blocs comportementaux par les blocs au niveau transistor, cela facilite la vérification de la fiabilité du modèle VHDLAMS. Un autre avantage sera la possibilité de vérifier directement les horloges générées en VHDL et les interfaces. Contrairement à Matlab/Simulink, le simulateur tient compte des lois des nœuds et des mailles. La modélisation des dépendances entre les signaux ne pose donc aucune difficulté. Néanmoins, le modèle vhdl\_ams requiert une programmation plutôt structurée et n'est donc pas aussi « visuel » qu'un modèle

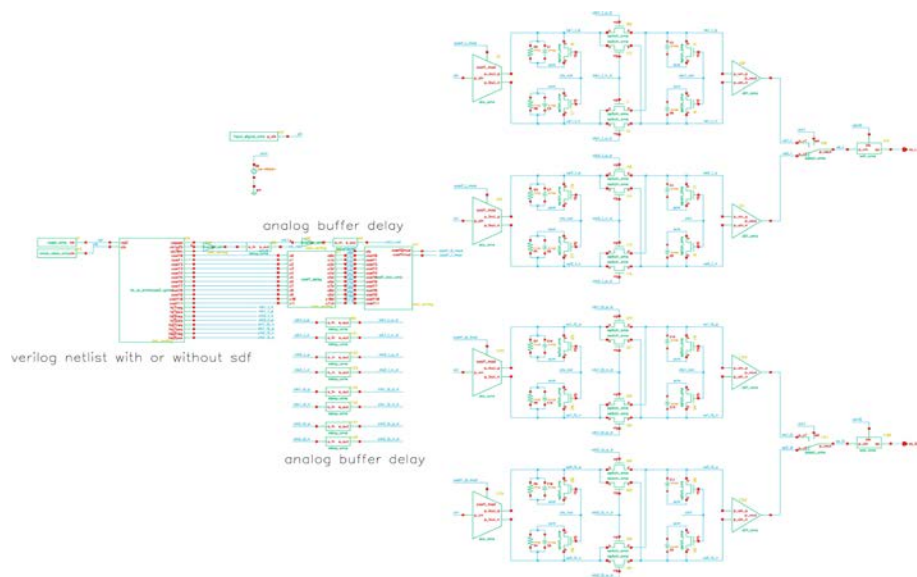
Simulink. De plus, le concepteur n'aura pas à sa disposition l'éventail de fonctions mathématiques et d'analyse disponibles avec Matlab. Il est alors plus intéressant d'exporter les résultats de simulation VHDLAMS vers l'interface Matlab pour les analyser plus finement.

Une synthèse comparative entre Matlab, Simulink et vhdl\_ams est présentée dans le Tableau 5.4-1. Le temps de simulation dépend forcément de la précision requise et du paramétrage du simulateur. Le script Matlab est le plus rapide, pour les raisons déjà soulignées. Le temps de simulation du modèle Simulink reste plus court que le modèle VHDLAMS. En conclusion, le modèle VHDLAMS est mieux adapté à une étude des défauts au niveau transistor alors que les modèles Matlab et Simulink s'orientent plus vers la validation d'un système conceptuel.

**Tableau 5.4-1 Comparaison qualitative de Matlab, Simulink et vhdl\_ams**

modèle	interface	type de simulation adaptée	sim. à signaux mixte	précision de modèle	précision du simulateur	traitement post-sim.	temps de sim.
Matlab	script	système	X	√	√√√	√√	√√√
Simulink	graphique	système	X	√√	√	√√	√√
vhdl_ams	script/graphique	circuit	√	√√√	√	√	√

Dans la suite, une batterie de simulations réalisées avec les modèles Matlab, Simulink et vhdl\_ams va être présentée. Le type de modèle choisi dépend du niveau de précision requis.



**Figure 5.4-2 Schéma du modèle comportemental en vhdl\_ams**

La Figure 5.4-3 présente la réponse fréquentielle d'un filtrage complexe après une décimation par un facteur 16 pour un signal aux alentours de  $f_{IF}=921,6\text{MHz}$ . Les coefficients sont ceux de l'Équation 5.4-1. La fréquence d'entrée se décale progressivement de 0 à 38MHz de la fréquence  $f_{IF}$ . Les fréquences positives représentent le gain du filtre alors que les fréquences négatives représentent la réjection d'image. La courbe bleue en pointillés donne la réponse du filtre; la courbe noire donne la réponse avec prise en compte des imperfections.

$$h_i[1:16]=[0,20-0,30-0,350,450,55-0,80-0,801,00\ 1,00-0,80-0,80,550,40-0,30-0,250,15]$$

$$h_o[1:16]=[-0,20-0,300,350,45-0,55-0,800,801,00\ -1,00-0,800,80,55-0,40-0,300,250,15]$$

Équation 5.4-1

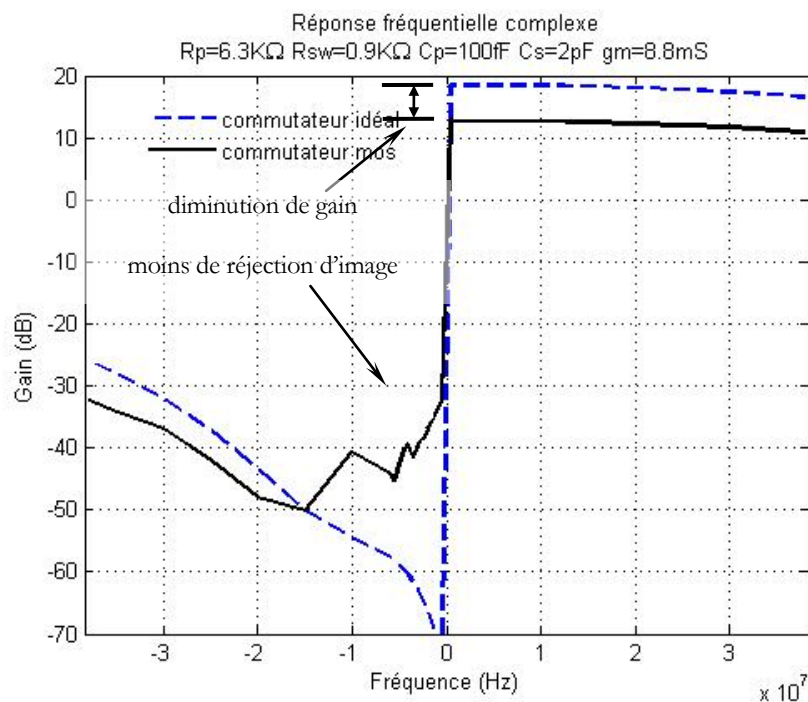


Figure 5.4-3 Réponse fréquentielle avec les commutateurs mos

Deux points majeurs sont observés. D'abord, il y a une perte de 7 dB dans la bande passante du filtre. Deuxièmement, l'atténuation d'image est de 15 dB à 20 dB inférieure à celle du cas idéal. Afin d'identifier les origines de ces pertes de réjection et de gain, différentes simulations ont été effectuées pour analyser la contribution de chaque imperfection. Les résultats sont présentés par la suite.

#### 5.4.1 Effet des déphasages d'horloge

La Figure 5.4-4 présente la réponse fréquentielle altérée par les déphasages d'horloge illustrés sur la Figure 5.3-3. La courbe bleue en pointillés représente le cas idéal alors que les carrés rouges représentent la réponse avec déphasages. La perte de réjection est alors importante. Puisque ces déphasages sont déterministes, autrement dit prévisibles à partir du « placement-routage », il serait possible de retrouver partiellement la réjection perdue. Un procédé de « recalage de phase » est exposé dans l'ANNEXE 5A. Après le procédé de recalage, on observe que la réponse obtenue est celle de la courbe noire. Une meilleure réjection est obtenue, la méthode est donc intéressante.

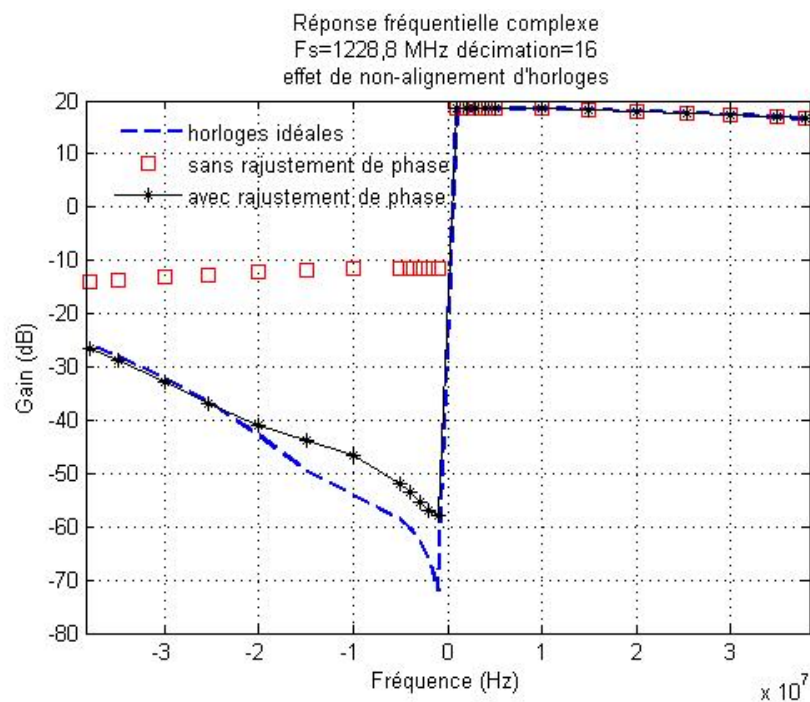


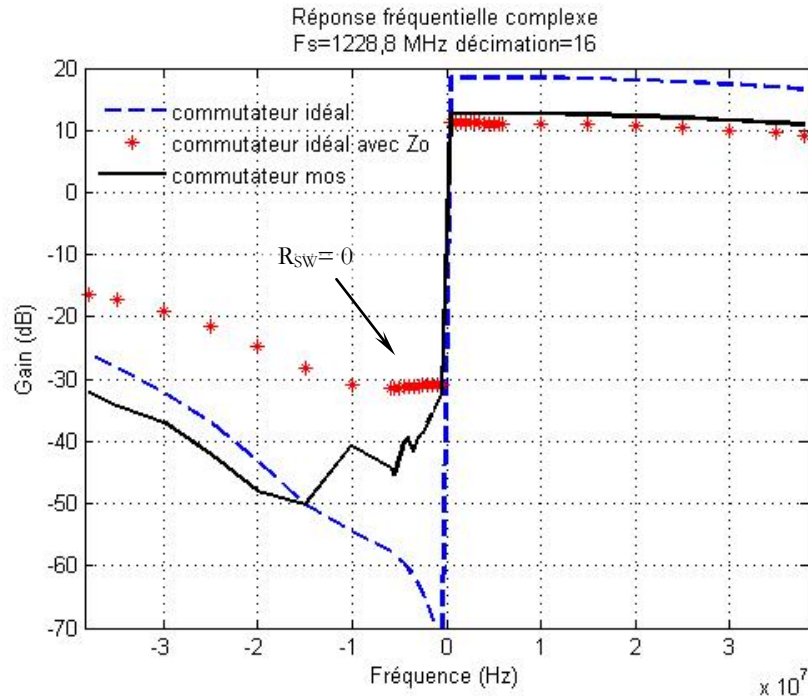
Figure 5.4-4 Déphasage du signal échantillonné en quadrature

#### 5.4.2 Effet de l'impédance de sortie

Pour étudier l'effet de l'impédance de sortie  $Z_o$  de l'amplificateur à transconductance, un modèle équivalent de  $Z_o$  avec  $R_p=6,3k\Omega$  et  $C_p=100fF$  est utilisé. Ces valeurs sont obtenues à partir des simulations électriques. Sur la Figure 5.4-5, trois cas de réponses fréquentielles du filtre RIF complexe sont présentés :



- cas 1 : les commutateurs idéaux avec  $Z_o$  infinie
- cas 2 : les commutateurs à transistors avec  $Z_o$  modélisée
- cas 3 : les commutateurs idéaux (sans résistance  $R_{SW}$ ) avec  $Z_o$  finie.



**Figure 5.4-5 Effet de l'impédance de sortie**

D'abord, on constate que lorsque l'impédance de sortie n'est pas infinie, il y a une forte chute de gain ainsi qu'une diminution de la réjection d'image. Ce phénomène est cohérent avec l'explication donnée dans la section 4.6.1. De plus, la perte est plus importante dans le cas 3 avec  $R_{SW}=0 \Omega$  que le cas 2 avec les commutateurs réels simulés. Cela s'explique par le fait que sans la résistance du commutateur, les charges sont évacuées plus rapidement et la perte de charges est donc plus importante. Par conséquent, il n'est pas forcément souhaitable de minimiser la résistance de l'interrupteur durant certaines phases. Ce phénomène peut être estimé analytiquement puis compensé en recalculant les coefficients de la fonction transfert.

Dans l'ANNEXE 4C, il est expliqué que l'effet de la perte d'intégration sur la fonction de transfert ne peut pas être évalué précisément puisqu'il dépend du signal d'entrée. En exploitant l'Équation 4.6-4 et l'Équation 4.6-6, les coefficients de la fonction de transfert altérés par les éléments parasites peuvent être approximativement évalués et la réponse fréquentielle correspondante re-simulée. Deux cas d'études sont exposés ici. D'abord, on analyse l'effet de la résistance de sortie  $R_p$  sur la réponse fréquence avec une résistance de canal de commutateur

$R_{SW}=900 \Omega$  et une capacité d'échantillonnage de 2 pF. Dans ce cas, les coefficients équivalents à l'effet de perte d'intégration seront<sup>32</sup>,

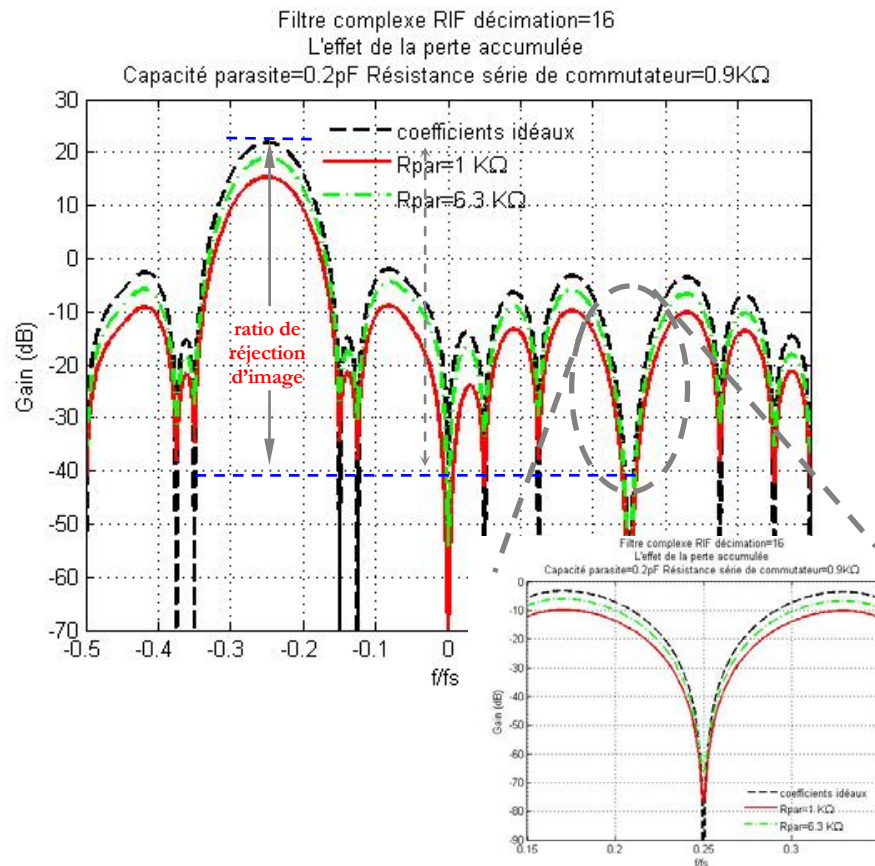
$$\begin{aligned} \mathbf{h}_I [1:16] &= [0,168 - 0,170 - 0,344 \ 0,522 \ 0,528 - 0,713 - 0,721 \ 0,911 \\ &\quad 0,922 - 0,933 - 0,755 \ 0,573 \ 0,580 - 0,391 - 0,395 \ 0,200] \\ \mathbf{h}_Q [1:16] &= [-0,168 - 0,170 \ 0,344 \ 0,522 - 0,528 - 0,713 \ 0,721 \ 0,911 \\ &\quad - 0,922 - 0,933 \ 0,755 \ 0,573 - 0,580 - 0,391 \ 0,395 \ 0,200] \end{aligned}$$

#### Équation 5.4-2

Ensuite, pour prendre en compte l'effet du diviseur de courant, il faut multiplier la réponse fréquentielle du filtre RIF décrite par l'Équation 5.4-2 par la réponse fréquentielle de l'Équation 4.6-4. La réponse fréquentielle combinée est tracée sur la Figure 5.4-6. La réponse pour une résistance de sortie très faible ( $R_p=1 \text{ K}\Omega$ ) est également illustrée. En général, la perte du filtre augmente à mesure que la résistance de sortie diminue. La bande normalisée de signal autour de -0,25 et la bande normalisée d'image autour de 0,25 enregistrent à peu près la même perte. Par conséquent, le ratio de réjection d'image reste inchangé, même si les coefficients ont été altérés.

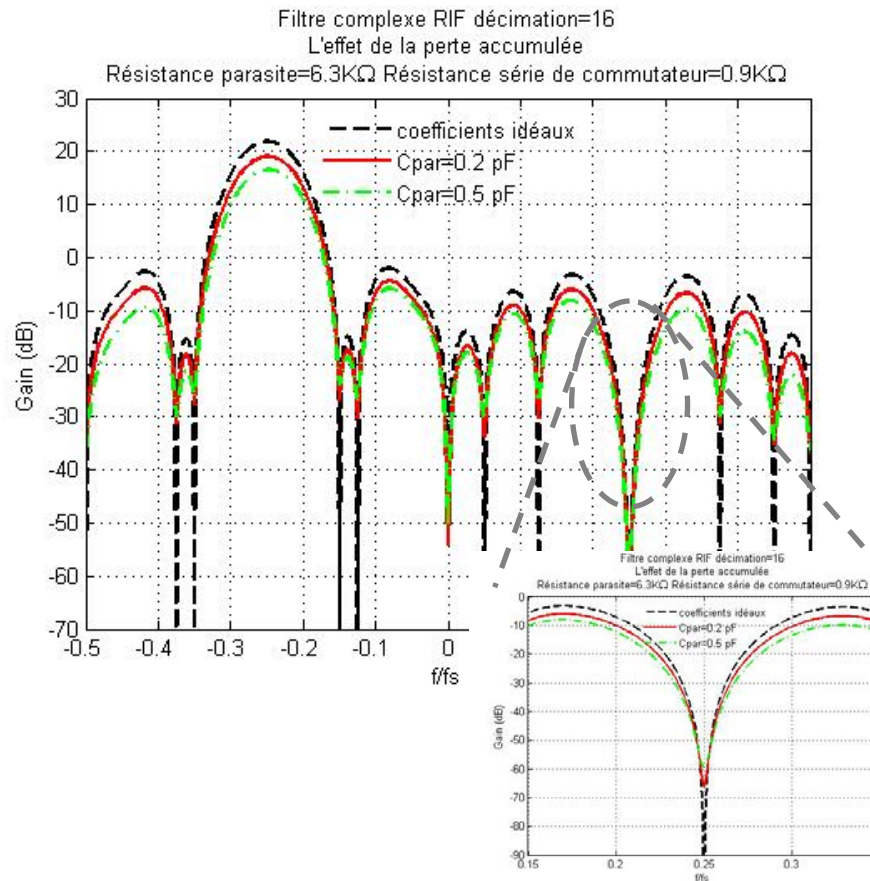
---

<sup>32</sup> Pour évaluer l'Équation 5.4-2, un écart de 150 mV entre deux terminaux du commutateur au début de chaque cycle d'échantillonnage a été supposé



**Figure 5.4-6 L'effet de résistance de sortie de l'amplificateur à transconductance sur la réponse fréquentielle**

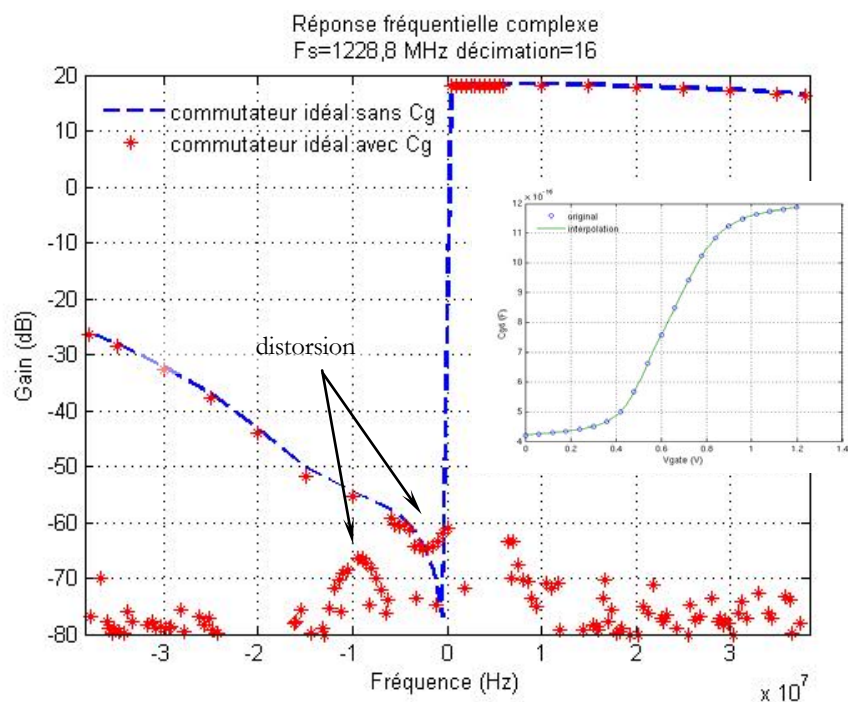
Le deuxième cas porte sur l'effet de la capacité parasite. Les réponses pour  $C_p=200$  fF et 1 pF sont tracées sur la Figure 5.4-7. La perte dans la bande passante augmente avec la valeur de la capacité parasite. Mais cette fois-ci, la réjection de l'image est bien moins importante. La réjection d'image est donc plus influencée par la capacité parasite que par la résistance de sortie de l'amplificateur à transconductance. Cela implique que l'étage de sortie de l'amplificateur et les commutateurs devraient préférablement être composé de transistors de petites dimensions afin de conserver le bon ratio de réjection d'image (même si c'est au prix d'une perte de gain).



**Figure 5.4-7 L'effet de la capacité parasite de l'amplificateur à transconductance sur la réponse fréquentielle**

#### 5.4.3 Effet de l'injection de charges

Sur la Figure 5.4-8, on analyse l'effet des injections de charges d'horloge en modélisant la capacité parasite. L'évolution de cette capacité en fonction de la tension de grille (tracée sur l'écart de la Figure 5.4-8) est modélisé sous VHDLAMS par une fonction de régression obtenue par des simulations électriques du commutateur MOS. Dans la section 2.4.1.2, il est expliqué que l'injection de charges génère des non-linéarités. En réalité, cette distorsion ajoutée par l'injection de charges est quasiment négligeable grâce à une capacité parasite très faible : environ 20 fF/ $\mu\text{m}^2$ . Le seul effet est une diminution de la réjection de l'image.

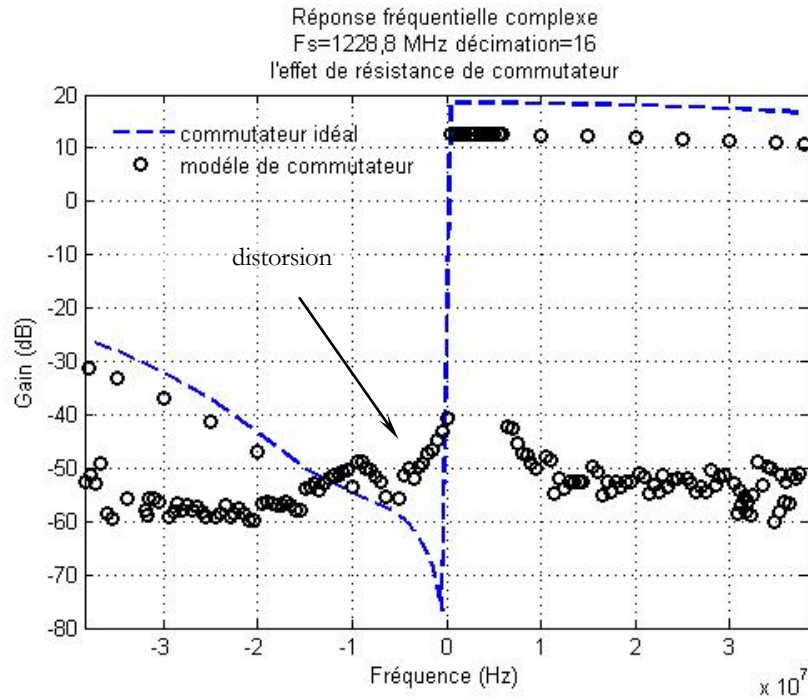


**Figure 5.4-8 l'effet d'injection de charges par capacité de grille**

#### 5.4.4 Effet de la variation de la résistance de l'interrupteur

La résistance des commutateurs est fonction, non seulement de la tension de grille  $V_G$ , mais également de la valeur du signal. Ainsi, pendant la phase d'intégration, même si la tension  $V_G$  reste constante, la résistance de commutateur peut changer. Puisque la résistance en série est fonction de l'amplitude de signal, l'effet de la division de courant devient donc non-linéaire.

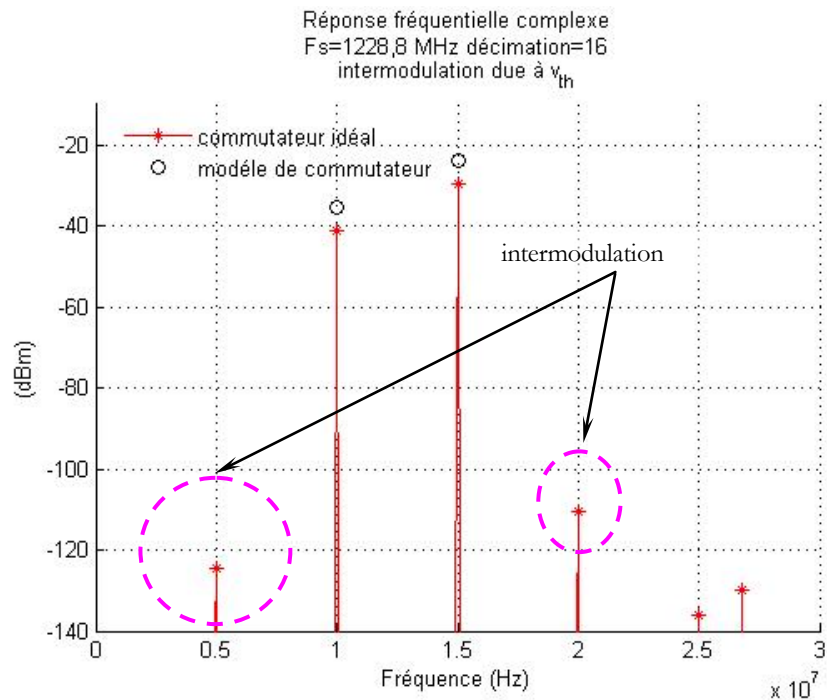
La réponse fréquentielle du filtre, simulée en tenant compte de  $Z_o$  et des variations de la résistance de l'interrupteur, sont tracées sur la Figure 5.4-9. La réponse avec une résistance fixe est également tracée à titre de comparaison. Comme auparavant, une perte est associée à l'impédance de sortie. De plus, on remarque une diminution de la réjection d'image par rapport à une résistance constante. La résistance de l'interrupteur CMOS varie entre 500 et 1700  $\Omega$  en fonction de  $V_{CM}$ .



**Figure 5.4-9 Effet de résistance série de commutateur**

#### 5.4.5 Effet de la variation de la tension de seuil

Tout comme dans un échantillonnage en tension, l'ouverture et la fermeture de commutateur dans un échantillonnage en charges dépendent également de l'amplitude de signal. On a montré dans l'ANNEXE 5C que cet effet génère des non-linéarités. Ici, la variation du seuil de fermeture et d'ouverture du commutateur est une source majeure de non-linéarités pendant la phase d'échantillonnage. A titre d'exemple, le résultat d'une simulation d'intermodulation de troisième ordre est présenté sur la Figure 5.4-10. Les modèles des commutateurs tiennent compte de la dépendance de la tension de seuils. En adoptant le cahier des charges du standard WCDMA de la section 3.3.2, deux sinusoïdes à 10 et 15 MHz de la fréquence centrale à respectivement -41 dBm et -29 dBm, sont échantillonnées. A la sortie, on aperçoit les produits d'intermodulation du troisième ordre à 5 MHz et 20 MHz, induits à la dépendance de la tension de seuil. La différence entre les fondamentaux et les produits d'intermodulation est d'environ 82 dB, ce qui donne une estimation de IIP3 supérieure à 10 dBm, ce qui est suffisant pour le cahier des charges.

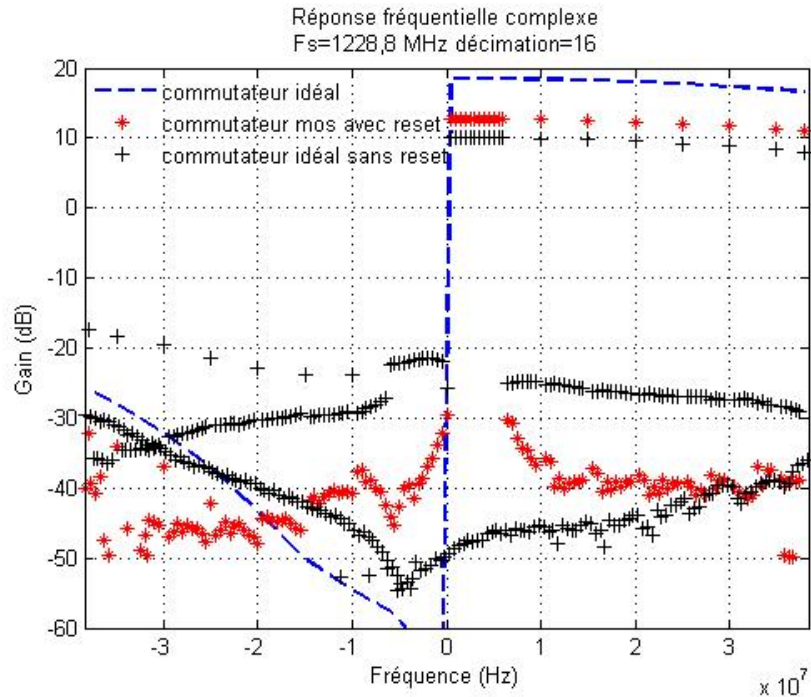


**Figure 5.4-10 Intermodulation due à la tension de seuil**

#### 5.4.6 Importance de la remise à zéro

Les courbes sur la Figure 5.4-11 nous permettent d'observer l'importance de la remise à zéro à la sortie de l'amplificateur à transconductance pendant chaque phase de blocage. A cause de la capacité parasite  $C_{par}$  à la sortie, les charges résiduelles s'accumulent pendant la phase de blocage s'il n'y a pas de remise à zéro. Ainsi, ces charges résiduelles se redistribueront sur le condensateur d'échantillonnage dès la fermeture des commutateurs. Cela a pour conséquence de, non seulement, réduire le gain, mais aussi d'altérer la réjection d'image. Ce phénomène est confirmé par la courbe noire sur cette figure qui représente la simulation avec l'échantillonneur sans reset.





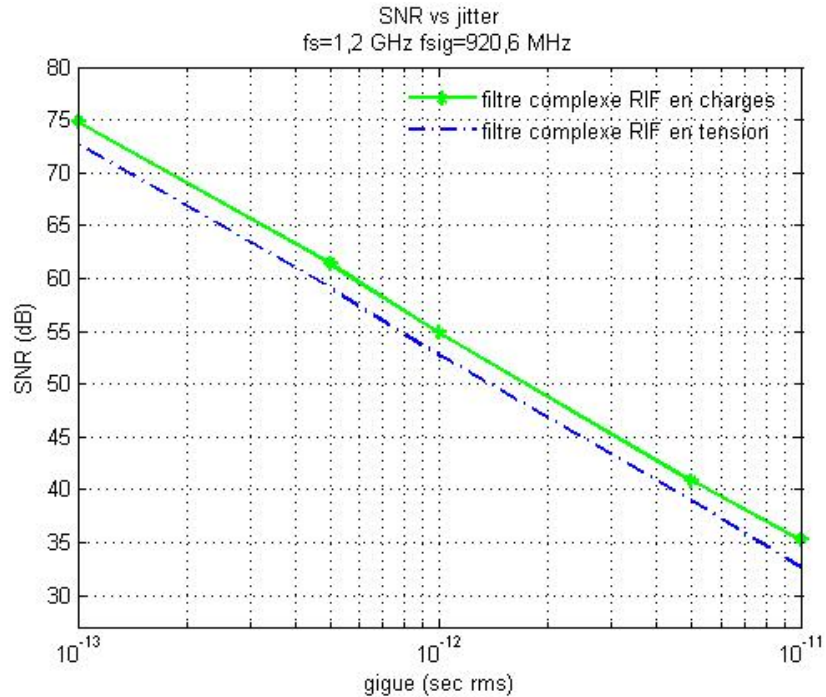
**Figure 5.4-11 Effet du reset en sortie de l'amplificateur à transconductance**

#### 5.4.7 Influence de gigue sur le bruit d'échantillonnage

Du point de vue de l'influence de gigue sur le rapport signal sur bruit, il a été établi que l'échantillonnage en charges doit être privilégié par rapport à l'échantillonnage en tension pour numériser un signal RF<sup>33</sup>. Ici, l'effet gigue d'horloge sur le SNR du filtre RIF est examiné. Sur la Figure 5.4-12, le rapport signal sur bruit (SNR) réalisable pour un filtre RIF complexe avec les coefficients de l'Équation 5.4-1 est tracé pour les différentes valeurs moyennes quadratiques de la gigue d'horloge d'échantillonnage. Le filtre RIF échantillonné en tension est inclus à titre de comparaison.

<sup>33</sup> la section 4.2





**Figure 5.4-12 L'influence de gigue sur le SNR du filtre RIF**

On constate ici qu'à une fréquence de signal d'entrée de plus de 900 MHz, le filtre RIF échantillonné en charges connaît toujours un meilleur SNR qu'en tension. De plus, pour la même fréquence d'échantillonnage, le filtrage RIF enregistre pour la même gigue un SNR similaire à celui de l'échantillonnage sans décimation présenté sur la Figure 2.4-14 du signal.

A 1 ps de gigue, le SNR maximum du filtre RIF s'élève à 55 dB. Pour un synthétiseur de fréquence à 1,2 GHz avec 1 ps de gigue, on atteint aujourd'hui la limite des possibilités commerciales. En tout cas, le SNR du filtre échantillonné ne serait pas dominé par la gigue, ce qui est souhaitable.

## 5.5 Performances simulées

Un bilan des simulations est donné dans le Tableau 5.5-1 en utilisant les coefficients de la fonction transfert de l'Équation 5.4-1. A titre de comparaison, les performances théoriques réalisables par un échantillonnage en tension sont également données.

**Tableau 5.5-1 Comparaison de cahier des charges obtenu en simulation pour la norme WCDMA**

	Cahier des charges	Théorique (sans défaut)		Simulation (Charges)
		Tension	Charges	
Fréquence d'échantillonnage $f_s$	1,2288 GHz	–	–	–
Fréquence porteuse du signal $f_{IF}$	916,6 MHz	–	–	–
Décimation	16	–	–	–
Capacité d'échantillonnage	2 pF	–	–	–
Transconductance effective maximum	5,6 mS	–	–	8,6 mS
Gain (20 MHz largeur de bande)	> 20 dB	16 dB	18,5 dB	11,5 dB
Rapport de réjection d'image (20 MHz largeur de bande)	> 49 dB	61 dB	61 dB	47 dB
IIP3	> 4,4 dBm	–	–	10 dBm
Dynamique à la sortie du filtre (sans gigue d'horloge) <sup>34</sup>	> 47,5 dB	47 dB	54 dB	50 dB
Dynamique à la sortie du filtre (avec 1 ps rms gigue d'horloge comme seul bruit)	> 47,5 dB	52 dB	55 dB	58 dB

En simulation, on observe que le gain et la réjection d'image sont réduits de manière significative par rapport aux valeurs théoriques. Ce phénomène est essentiellement lié à l'impédance de sortie de l'amplificateur à transconductance.

## 5.6 Difficultés de réalisation

Le layout et une description des mesures effectuées sont données dans l'ANNEXE 5B. Malheureusement, les résultats des mesures n'ont pas pu être obtenus avant l'échéance de la thèse.

De nombreuses difficultés ont été rencontrées au cours de ce travail :

Comme la technologie CMOS 65 nm n'était pas encore mature au début du travail, la technologie a continué à évoluer tout au long de la thèse. Par conséquent, la conception de circuit a dû être recommencée trois fois de suite notamment lors de l'introduction du HPA qui n'existait pas au début de la thèse et aux corrections du modèle. La première fabrication du circuit a même été ratée à cause d'un problème au niveau de la fonderie.

Le travail d'implémentation physique du circuit a été également sous-estimé. En particulier, les contraintes liées à la génération des arbres d'horloges ont été difficilement tenables à cause de la fréquence exigée. Les étapes de « placement et routage » pour l'incorporation des deux convertisseurs ont été également très laborieuses.

Il a été enfin difficile de trouver un boîtier qui puisse répondre aux contraintes de vitesse exigées par ce circuit. En fait, le boîtier choisi pour ce circuit n'a été disponible commercialement que deux mois avant la fin de thèse

<sup>34</sup> Bruit sommé de DC à 36,8 MHz

Le circuit s'est avéré finalement non fonctionnel à cause d'un problème de contre-réaction de mode commun sur la transconductance.

## 5.7 Conclusion

Dans ce chapitre, le schéma d'implémentation du filtre RIF complexe est présenté. Les défauts liés au circuit MOS et à l'implémentation du circuit numérique (i.e. les arbres d'horloges) sont modélisés avec les modèles Simulink et VHDLAMS afin de pouvoir évaluer l'effet de chaque défaut séparément. Le modèle Simulink est adapté à la vérification du fonctionnement du système complet alors que le modèle VHDLAMS est plus approprié pour les simulations électriques qui nous permettent de prendre en compte les défauts physiques liés aux transistors mos et à l'implémentation.

Le Tableau 5.7-1 donne un aperçu du niveau d'influence des différents paramètres d'échantillonnage sur les performances du filtre RIF complexe. Le filtre échantillonné proposé s'avère moins performant que ce qui était initialement prévu dans les études théoriques. En particulier, avec une largeur de bande de 20 MHz à la fréquence intermédiaire de 921 MHz, le gain passe de 19 dB à 12 dB et le rapport de réjection d'image passe de plus de 64 dB à moins de 47 dB.

**Tableau 5.7-1 Niveau d'influence des paramètres d'échantillonnage sur les performances du filtre RIF**

	capacité parasite	résistance de sortie	résistance de commutateur	gigue	non alignement d'horloges	dispersion
<b>Gain du filtre</b>	faible	importante	moyen	faible	faible	faible
<b>Réjection d'image</b>	importante	faible	importante	faible	moyen	importante
<b>Bruit/distorsion d'échantillonnage</b>	importante	faible	faible	importante	faible	faible

# Conclusion générale

Pour garantir la transparence d'échange de données parmi les différents réseaux de communication sans fil, un récepteur reconfigurable qui puisse s'adapter aux différentes normes de télécommunication est nécessaire. La radio logicielle représente une orientation possible pour garantir cette adaptation.

Cependant, la numérisation directe du signal radiofréquence exigée par une radio logicielle idéale reste aujourd'hui un objectif difficile pour un terminal mobile compte tenu des capacités des technologies silicium actuelles. L'étude menée dans le cadre de cette thèse montre que l'évolution technologique ne va pas forcément faciliter les choses. En effet, les bonnes performances de blocs analogiques deviennent de plus en plus difficiles à réaliser avec les dernières générations de transistors. Les technologies More-than-Moore ont également été abordées dans le cadre de ce travail. A première vue, les filtres MEMS offrent une excellente sélectivité, un avantage qui peut permettre de réduire les contraintes sur les blocs analogiques. Pourtant, cette technologie présente toujours de nombreuses limitations qui limite son exploitation : des pertes qui bien que faibles sont encore trop importantes, un manque de tunabilité et enfin un procédé de fabrication qui manque de maturité pour permettre une exploitation intensive.

Nous avons ensuite montré que les récepteurs à base de filtres échantillonnés offraient une alternative intéressante puisque l'échantillonnage précoce facilite la sélection de bande et en même temps, permet d'assurer les fonctions d'amplification, de transposition de fréquence et de filtrage normalement assurées par les blocs analogiques. Par conséquent, trois architectures générales de récepteur à base de filtres échantillonnés ont été évaluées : à base d'échantillonnage RF, à base de modulation  $\Sigma\Delta$  et à base d'échantillonnage à fréquence intermédiaire fixe. Après une étude comparative, l'architecture à base de fréquence intermédiaire a été jugée la plus adaptée à nos besoins et aux technologies disponibles. Dans cette solution, l'échantillonnage est effectué à une fréquence intermédiaire fixe pour à la fois éviter l'échantillonnage à très haute fréquence et permettre plus de filtrage et d'amplification. On obtient ainsi un meilleur facteur de bruit, tout en conservant l'esprit de reconfigurabilité. Un filtre MEMS basé sur la technologie FBAR est inclus dans l'architecture du récepteur proposé afin d'alléger les contraintes de la partie échantillonnée. La suite du travail a consisté à implémenter la solution proposée.

Après avoir analysé les limitations des échantillonneurs intégrés en technologie CMOS avancée, une solution à base d'échantillonnage en charge pour minimiser la sensibilité à la gigue d'horloges. Le signal est échantillonné en quadrature afin de faciliter la réjection de l'image lors du changement de fréquence. Le filtrage qui suit est basé sur une architecture originale mise au point au cours de cette thèse et faisant l'objet de deux brevets. Cette nouvelle structure basée sur un gain modulable améliore encore la reconfigurabilité du récepteur, au-delà même de l'exploitation classique des

circuits à capacités commutées. La conception de l'échantillonneur bloqueur s'est avéré ensuite une tâche ardue. Dans ce cadre, une nouvelle architecture de transconductance a été proposée pour compenser le rapport faible de  $gm/gds$  des transistors MOS de la technologie CMOS 65nm.

Afin de spécifier chacun des blocs et pour valider la chaîne complète, plusieurs chaînes de simulation ont été développées sous Matlab, Simulink et en utilisant VHDL-AMS. Dans ces chaînes, des modèles comportementaux développés au cours de la thèse, ont permis de prendre en compte les différentes imperfections du circuit entraînés par différents paramètres technologiques. Les deux principaux défauts limitant les performances s'avèrent être le faible rapport  $gm/gds$  (malgré l'architecture de transconductance proposée) et le gabarit du filtre FBAR (qui n'a pas pu être optimisé). Les performances obtenues en simulation restant cependant prometteuses.

Compte tenu des nombreuses difficultés rencontrées : problèmes de maturité de la technologie CMOS 65nm ayant entraînés de multiples mises à jour du modèle au cours de la thèse et problème de fabrication à la fonderie (transistor HPA non fonctionnel lors du premier run), le circuit s'est avéré non fonctionnel. En l'absence de données de mesure, les conclusions ont été tirées à partir des résultats de simulation présentés dans le chapitre 5. L'architecture proposée a permis de s'approcher des performances envisagées au début de cette thèse sans toutefois les atteindre.

Notamment, le filtre RIF complexe, sur lequel l'architecture est basée, s'est avéré très sensible aux caractéristiques des transistors de la technologie CMOS 65 nm. Plus précisément, les transistors à oxyde de grille fine alimentés à 1,2 V ont un rapport  $gm/gds$  très faible. Il en résulte non seulement qu'il est difficile d'atteindre un gain de l'amplificateur élevé, mais également que les pertes obtenues lors de l'échantillonnage sont accentuées. Autrement dit, même s'il est montré que le filtre RIF échantillonné en charges présente plusieurs avantages par rapport à celui échantillonné en tension (plus d'atténuation du bruit large bande, moins de sensibilité à la gigue d'horloge, meilleure capacité de reconfiguration des coefficients, etc.), le filtre s'avère moins performant que prévu. La faible impédance de sortie de l'amplificateur à transconductance et la forte valeur de résistance du canal de commutateur contribuent à la dégradation de gain, de linéarité et de réjection d'image.

Ce travail s'inscrit donc comme une première étape vers la maîtrise des architectures échantillonnées pour le software radio. Il permet de mettre en évidence les capacités de l'architecture proposée mais démontre également que des progrès sont encore nécessaires pour s'approcher d'une radio reconfigurable performante, aussi bien au niveau technologique qu'au niveau de la conception. Des solutions pour résoudre les problèmes rencontrés lors de la thèse sont proposées dans les perspectives.

# Perspective

Les paragraphes suivants proposent quelques améliorations pour une poursuite de ce travail de thèse. Il s'agit principalement de modifications au niveau de la conception des blocs de base.

## « Compensation digitale »

Si la faible valeur du gain des transistors se confirmait dans les technologies futures, il serait nécessaire de trouver une solution pour s'affranchir de cette limitation. Etant donné que l'erreur générée par un faible gain est une erreur linéaire, il devrait être possible d'effectuer une compensation numérique de l'erreur de gain. En effet, à surface et consommation équivalente, il est possible d'intégrer un traitement numérique de plus en plus complexe. Des techniques de compensation des erreurs de linéarité commencent également à voir le jour.

## « Circuit bootstrap »

En utilisant également les transistors à oxyde de grille épais pour réaliser les commutateurs, la dynamique de commutateur s'améliorera forcément grâce à la tension d'alimentation augmentée, même avec une tension de seuil plus élevée. Afin de réduire la distorsion d'échantillonnage liée à la résistance de canal, il serait nécessaire de recourir au circuit « bootstrap » pour minimiser cet effet de distorsion, bien qu'il y ait plus des capacités parasites ajoutées.

## « Génération d'horloges d'échantillonnage »

Il a été mis en évidence en simulation qu'en réalisant les horloges programmables, il est presque impossible d'aligner les fronts d'horloges à cause de la dispersion de fabrication des bascules et des portes logiques. Ces circuits de génération d'horloge doivent combiner précision et flexibilité, ce qui est particulièrement délicat. De nouveaux schémas de génération d'horloge doivent être développés en intégrant des systèmes de contre-réaction ainsi qu'un contrôle digital des délais.

## « Utilisation de MEMS à l'avenir »

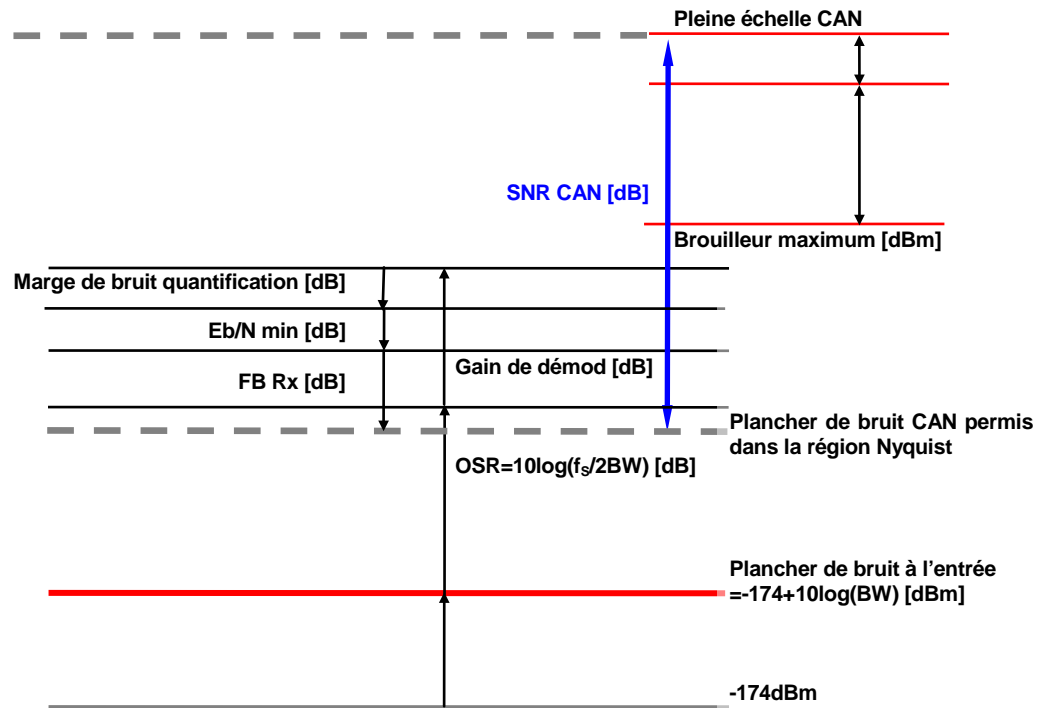
Notre motivation pour l'utilisation des filtres MEMS était intimement liée à une co-intégration potentielle sur une technologie silicium. Cependant, les performances actuelles des filtres MEMS ne sont pas adaptées à la réalisation d'un récepteur échantillonné à cause de leur limitation de bande passante (i.e. souvent trop large), du manque de flexibilité (pas de variation de bande passante ou de fréquence centrale) et de l'effet des harmoniques parasites. De nombreux travaux fondamentaux sont encore nécessaires pour que cette technologie puisse être exploitée au sein d'une architecture radiofréquence d'un terminal mobile. Les derniers résultats obtenus sont cependant encourageants.

# ANNEXE

## ANNEXE 1A

Fréquence porteuse (GHz)	Norme	Largeur de bandes (MHz)	Largeur de canal (MHz)	Taux symbole (Mcps)	EB/I ou S/I exigé (dB)	sensibilité minimum du signal (dBm)	bruit thermique (dBm)	gain démod (dB)	bruit canal (dBm)
0,90	GSM	25,00	0,20	0,2708	18,92	-102,00	-120,92	0,00	-120,92
1,50	DVB-H (2/3 16-QAM)	400,00	8,00	14,9300	15,00	-85,20	-104,90	0,00	-100,20
1,80	DCS	75,00	0,20	0,2708	20,92	-100,00	-120,92	0,00	-120,92
1,90	CDMA	25,00	1,25	1,2288	7,00	-104,00	-112,96	21,07	-89,93
1,90	DECT	60,00	1,70	1,1520	28,63	-83,00	-111,63	0,00	-111,63
2,00	UMTS W-CDMA	60,00	5,00	3,8400	7,20	-117,00	-106,94	25,07	-99,13
2,00	UMTS TDD	60,00	5,00	3,8400	7,20	-105,00	-106,94	9,03	-103,17
2,40	Wi-Fi 802.11b	60,00	22,00	11,0000	14,00	-76,00	-100,51	0,00	-90,00
2,40	Bluetooth	80,00	1,00	1,0000	10,00	-70,00	-113,93	0,00	-80,00
3,50	Wi-Max 802.16a (3/4 16-QAM)	20,00	20,00	15,9296	18,20	-72,00	-100,92	0,00	-90,20

Fréquence porteuse (GHz)	Norme	SNRmin CAN de démodulation (dB)	Ratio PAR (dB)	marge CAN (dB)	brouilleurs intrabande à l'antenne (dBm)	filtrage brouilleur (dB)	Facteur de bruit récepteur (dB)	bruit de quantification (dBm)	dynamique CAN (dB)
0,90	GSM	18,92	0,00	10,00	-23,00	20,00	9,00	-125,69	86
1,50	DVB-H (2/3 16-QAM)	15,00	14,00	10,00	-35,00	20,00	9,00	-104,97	71
1,80	DCS	20,92	0,00	10,00	-26,00	20,00	9,00	-125,69	81
1,90	CDMA	7,00	9,00	10,00	-30,00	20,00	9,00	-94,70	90
1,90	DECT	28,63	0,00	10,00	-33,00	20,00	9,00	-116,40	57
2,00	UMTS W-CDMA	7,20	5,60	10,00	-44,00	20,00	9,00	-103,90	85
2,00	UMTS TDD	7,20	9,00	10,00	-44,00	20,00	9,00	-107,94	77
2,40	Wi-Fi 802.11b	14,00	8,00	10,00	-35,00	20,00	9,00	-94,77	56
2,40	Bluetooth	10,00	0,00	10,00	-27,00	20,00	9,00	-84,77	50
3,50	Wi-Max 802.16a (3/4 16-QAM)	18,20	10,00	10,00	-40,00	20,00	9,00	-94,97	49



## ANNEXE 4A

Pour un filtre RIF normal, la fonction transfert est donnée par,

$$H_{RIF}(z) = 1 + z^{-1} + z^{-2} + \dots + z^{-(N-2)} + z^{-(N-1)} = \frac{1 - z^{-N}}{1 - z^{-1}}$$

**Équation A4A-1**

En reprenant le schéma sur la Figure 4.4-1, l'échantillonnage alterne entre la voie I et Q. Donc pour chaque voie, la fonction transfert avec la valeur de N paire est donnée par,

$$\begin{aligned} H_{RIF,I}(z) &= 1 - z^{-2} + \dots + z^{-(N-4)} - z^{-(N-2)} \\ &= (-1)^0 (z^{-2})^0 + (-1)^1 (z^{-2})^1 + \dots + (-1)^{\frac{N-2}{2}} (z^{-2})^{\frac{N-2}{2}} \\ &= \frac{1 - z^{-N}}{1 + z^{-2}} \quad \text{pour la voie I} \end{aligned}$$

$$\begin{aligned} H_{RIF,Q}(z) &= -z^{-1} + z^{-3} + \dots - z^{-(N-3)} + z^{-(N-1)} \\ &= -z^{-1} \left[ (-1)^0 (z^{-2})^0 + (-1)^1 (z^{-2})^1 + \dots + (-1)^{\frac{N-2}{2}} (z^{-2})^{\frac{N-2}{2}} \right] \quad \text{pour la voie Q} \\ &= -z^{-1} \frac{1 - z^{-N}}{1 + z^{-2}} \end{aligned}$$

**Équation A4A-2**

Il est intéressant de constater que la grandeur de la fonction transfert pour la voie I et la voie Q sera la même. Afin de réaliser la réjection d'image, il faut faire une opération mathématique  $I[n] + jQ[n]$  comme expliqué dans l'**Fehler! Verweisquelle konnte nicht gefunden werden.** Donc la fonction transfert équivalente au filtre RIF complexe est donnée par,

$$\begin{aligned} H_{RIF}(z) &= 1 + (-jz^{-1}) + (-z^{-2}) + (jz^{-1}) \dots + z^{-(N-4)} + (-jz^{-(N-3)}) + (-z^{-(N-2)}) + (jz^{-(N-1)}) \\ &= (j)^0 + (-jz^{-1})^1 + (-jz^{-1})^2 + (-jz^{-1})^3 \dots + (-jz^{-1})^{(N-4)} + (-jz^{-1})^{(N-3)} + (-jz^{-1})^{(N-2)} + (-jz^{-1})^{(N-1)} \\ &= \frac{1 - z^{-N}}{1 + jz^{-1}} \end{aligned}$$

**Équation A4A-3**

En domaine de fréquence,



$$\begin{aligned}
 H_{RIF}(\omega) &= \frac{1-z^{-N}}{1+jz^{-1}} \Big|_{z=e^{j\omega T_S}} = \frac{1-\cos(-\omega NT_S) - j\sin(-\omega NT_S)}{1+j\cos(-\omega T_S) - \sin(-\omega T_S)} \\
 &= \frac{1-\cos(\omega NT_S) + j\sin(\omega NT_S)}{1+\sin(\omega T_S) + j\cos(\omega T_S)}
 \end{aligned}$$

Équation A4A-4

Donc,

$$|H_{RIF}(\omega)|^2 = \frac{1-\cos(\omega NT_S)}{1+\sin(\omega T_S)}$$

Équation A4A-5

#### ANNEXE 4B

Le Tableau A4B-1 résume la transconductance  $gm$  et la densité maximale de bruit tolérable normalisée à l'entrée de l'amplificateur à transconductance en fonction du gain et du bruit du filtre RIF. Les équations présentées dans la section 4.4.2.3 ont été exploitées pour le calcul.

**Tableau A4B-1 Bruit du filtre RIF en fonction de  $gm/C_S$**

	gain filtre RIF (dB)	maximum $\overline{V_{no,RIF}^2}$ (V <sup>2</sup> )	minimum $gm$ (S)	maximum $S_{m,GM}$ par voie (V <sup>2</sup> /Hz)
$C_S=100\text{fF}$	30	1,03e-6	6,22e-4	1,62e-17
	20	9,19e-8	1,97e-4	1,45e-17
	10	4,39e-9	6,22e-5	6,85e-18
$C_S=1\text{pF}$	30	1,03e-6	6,22e-3	1,62e-17
	20	9,19e-8	1,92e-3	6,85e-18
	10	4,39e-9	6,22e-4	6,85e-18

La transconductance est évidemment proportionnelle à  $1/C_S$  avec un gain donné du filtre. En revanche, puisque le rapport  $(gm/C_S)$  est gradé toujours constant pour un gain donné, la densité de bruit de l'amplificateur à transconductance ne varie pas en fonction de  $C_S$ .

#### ANNEXE 4C

Le modèle simplifié de la sortie de l'amplificateur à transconductance est redessiné sur la Figure A4F-1. Il est supposé qu'avant la fermeture du commutateur, il existe déjà une valeur initiale  $v_o(t=0)=v_c=Q/C_S$  sur le condensateur  $C_S$  et le signal

d'entrée  $v_x=0$ . Donc, après la fermeture du commutateur, les équations différentielles de ce système sont donc données par,

$$i_f = \frac{dQ_o}{dt} = -C_S \frac{dv_o}{dt} = \frac{v_a}{R_P} + C_P \frac{dv_a}{dt}$$

$$i_f = \frac{v_o - v_a}{R_{SW}} \Rightarrow R_{SW} \frac{di_f}{dt} = \frac{dv_o}{dt} - \frac{dv_a}{dt}$$

Équation A4F-1

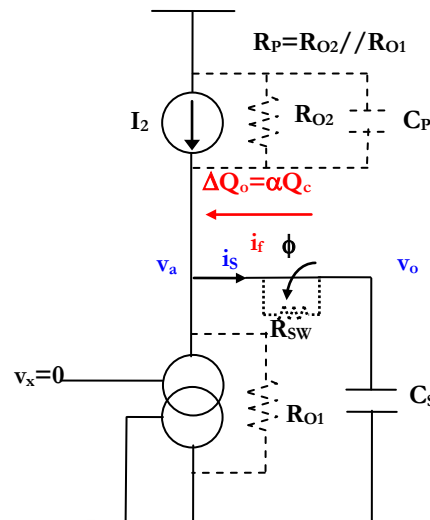


Figure A4F-1

En re-formulant les équations ci-dessus, nous obtiendrons,

$$\frac{dv_o}{dt} = \frac{i_f}{C_P} - \frac{v_o}{R_P C_P} = \frac{i_f}{C_P} - \frac{v}{R_P C_P} + \frac{i_f R_{SW}}{R_P C_P}$$

$$v_o = -\frac{1}{C_S} \int_0^{\tau} i_f dt + v_c$$

Équation A4F-2

Par conséquent, le courant de perte en fonction du temps s'écrit,

$$\left( \frac{1}{C_P} + \frac{1}{C_S} + \frac{R_{SW}}{R_P C_P} \right) i_f + R_{SW} \frac{di_f}{dt} + \frac{1}{R_P C_S C_P} \left( \int_0^{\tau} i_f dt + v_c \right) = 0$$

$$R_{SW} \frac{d^2 i_f}{dt^2} + \left( \frac{1}{C_P} + \frac{1}{C_S} + \frac{R_{SW}}{R_P C_P} \right) \frac{di_f}{dt} + \frac{1}{R_P C_S C_P} i_f = 0$$

**Équation A4F-3**

$v_c$  est la tension initiale sur le condensateur d'échantillonnage. Puisque le courant doit être une fonction exponentielle, on peut supposer que,

$$i_f = i_o e^{\beta t}$$

$$i_f(0) = i_o = \frac{v_c - v_a(0)}{R_{SW}}$$

$$i_f(\infty) = 0$$

**Équation A4F-4**

Le courant initial sera clairement très fort si l'écart de tension est grand à travers le commutateur entre la sortie de l'amplificateur à transconductance et le condensateur d'échantillonnage. Pour la condition initiale, le cas le plus défavorable (i.e. perte maximale) surviendra quand  $v_a(t=0)=0$ . Mais cela ne serait pas le cas en réalité puisqu'il a été simulé en circuit de l'échantillonneur que cet écart absolu de tension ne dépassera pas 150 mV normalement. Néanmoins cette valeur changera d'échantillon à échantillon en fonction du signal d'entrée. En conséquence, le coefficients de perte d'intégration  $\alpha$  de chaque cycle ne sera pas le même.

En affectant l'Équation A4F-4 dans l'Équation A4F-4,

$$R_{SW} i_o \beta^2 e^{\beta t} + \left( \frac{1}{C_P} + \frac{1}{C_S} + \frac{R_{SW}}{R_P C_P} \right) i_o \beta e^{\beta t} + \frac{1}{R_P C_S C_P} e^{\beta t} = 0$$

**Équation A4F-5**

$\beta$  peut être obtenu en affectant  $t=0$ ,

$$R_{SW} i_o \beta^2 + \left( \frac{1}{C_P} + \frac{1}{C_S} + \frac{R_{SW}}{R_P C_P} \right) i_o \beta + \frac{1}{R_P C_S C_P} = 0$$

$$\beta = \frac{1}{2} \left[ \frac{\left( \frac{1}{C_P} + \frac{1}{C_S} + \frac{R_{SW} R_P}{R_{SW} + R_P} \right)}{R_{SW}} - \sqrt{\left( \frac{\left( \frac{1}{C_P} + \frac{1}{C_S} + \frac{R_{SW} R_P}{R_{SW} + R_P} \right)}{R_{SW}} \right)^2 - \frac{4}{R_{SW} R_P C_S C_P}} \right]$$

Équation A4F-6

La perte de charges pendant une période de fermeture  $\tau$  est donc,

$$\Delta Q_o = \int_0^{\tau} i_f dt = \int_0^{\tau} i_o e^{\beta t} dt$$

Équation A4F-7

Et, les charges qui restent sur le condensateur  $C_S$  seront,

$$Q_o(t = \tau) = Q_c - \Delta Q_o$$

Équation A4F-8

Finalement, un facteur de multiplication de perte  $\alpha$  peut être défini,

$$\alpha = \frac{\Delta Q_o}{Q_c}$$

Équation A4F-9

Pour obtenir une valeur du ratio  $\alpha$ , il faudra faire une intégration numérique en MATLAB™.

## ANNEXE 5A

On rappelle que la réjection d'image est d'abord obtenue en « multipliant » le signal par deux sinusoïdes déphasés de  $\pi/2$  pour générer les signaux échantillonnés en I et en voie Q, et ensuite à l'aide d'un deuxième déphasage de  $\pi/2$  par l'intermédiaire du traitement de signaux  $I+jQ$ . Cela déphase la partie image du signal I et Q par  $\pi$  et en ajoutant les deux signaux, la partie image s'annule. Mais si les deux sinusoïdes de « multiplication » ne sont plus déphasés exactement de  $\pi/2$ , la réjection d'image n'est pas complète. Il faut donc dans le traitement de post-simulation recalibrer au mieux la phase de la partie image des signaux I et Q pour retrouver la réjection.

Comme dans l'exemple illustré sur la Figure 5.3-4, si les différences de déphasage entre les horloges  $fs\_il\_pos$  et  $fs\_q1\_pos$  et entre les horloges  $fs\_il\_neg$  et  $fs\_q1\_neg$  sont toutes les deux  $\tau$  secondes, la différence de phase dans la bande d'image entre la voie I et la voie Q ne sera plus  $3\pi/2$  mais plutôt  $(1+\tau/T_S)\cdot 3\pi/2$ , où  $T_S$  est la période de la fréquence d'échantillonnage. Ainsi, afin de retrouver une différence en phase de  $\pi$  pendant le traitement de signal, il ne faut pas combiner les signaux de la façon habituelle de  $I+jQ$  mais plutôt,

$I + \gamma Q$ , où

$$\gamma = \frac{1}{\text{abs}(\alpha)} \alpha, \quad \alpha = \frac{\cos\left(\frac{3\pi}{2}\left(1 - \frac{\tau}{T_S}\right)\right)}{\sin\left(\frac{3\pi}{2}\left(1 - \frac{\tau}{T_S}\right)\right)} + j$$

**Équation A5C-1**

En effet, au lieu de multiplier par  $j$  et donc de déphaser par  $\pi/2$ , le signal en voie Q sera déphasé par  $\pi/2$  moins un déphasage équivalent à  $\tau$  secondes. L'amplitude du signal en voie Q est également re-normalisé par rapport à ce nouveau déphasage. Dans le cas où les différences de déphasage entre les horloges  $fs\_il\_pos$  et  $fs\_q1\_pos$  et entre les horloges «  $fs\_il\_neg$  » et «  $fs\_q1\_neg$  » ne sont pas égales, une valeur moyenne des deux décalages peut être exploitée pour obtenir une meilleure réjection d'image.

## ANNEXE 5B

Le dessin de masques est partitionné en deux parties : le dessin du bloc analogique, y compris l'amplificateur à transconductance, les commutateurs et l'intégrateur à capacités commutées, et le « placement et routage » du bloc numérique, y compris le bloc de génération d'horloge, le bus SPI et les liaisons d'horloges aux plots I/O. Un bloc de propriété intellectuelle (PI) de double convertisseur analogique numérique est aussi inclus sur la puce. Pourtant, ce bloc est désactivé dans cette version de circuit. Un schéma représentatif du banc de mesure, dont un dessin de layout, est illustré sur la Figure A5D-1. Afin de caractériser le filtre échantillonné, deux options sont possibles pour récupérer les signaux de sortie en voie I et Q : soit ils sont numérisés par deux convertisseurs analogiques numériques qui seront intégrés dans la puce, soit ils sont bufférisés et numérisés à l'extérieur de la puce. Dans les deux cas, les signaux numérisés seront traités en MATLAB™ pour une analyse spectrale. Pour cette thèse, l'option avec buffer est conservée. Bien qu'un convertisseur analogique numérique soit disponible et déjà intégré sur la puce, il n'a

pas été possible de le caractériser compte tenu des difficultés et des délais rencontrés pendant la thèse. Il a donc été décidé de ne pas courir le risque associé à un convertisseur non validé en mesure séparé. Néanmoins, il serait désormais facile d'activer les deux convertisseurs sur le prochain prototype du circuit. Par ailleurs, des plots sont déjà réservés pour récupérer à l'avenir les sorties digitales des deux convertisseurs.

Le « placement et routage » du bloc numérique s'avère être un travail de longue haleine. D'abord, les arbres d'horloge doivent être synchronisés pendant la synthèse numérique à une fréquence maximum de 1,25 GHz. Qui plus est, la séquence d'horloge est censée être programmable. Cela veut dire que pour chaque séquence, les horloges se propagent à travers une logique combinatoire différente. Pourtant, les mêmes contraintes de délai entre les horloges doivent toujours être respectées, quelle que soit la logique combinatoire. Naturellement, l'outil de « placement et routage » n'arrivera jamais à aligner parfaitement les horloges pour toutes les séquences prévues. Il en résulte qu'en fonction de la séquence choisie, différents décalages se produisent.

## ANNEXE 5C

Les équations pour la distorsion harmonique du deuxième et du troisième ordre sont dérivées dans . Deux scénarii sont possibles. Le cas 1 est dérivé en fonction du comportement du MOS en régime triode pendant la phase d'acquisition, sans considérer l'effet du temps de descente  $t_f$  fini de l'horloge. Le cas 2 considère les deux effets. Le cas 3 ne considère que l'effet de  $t_f$  au cas où  $t_f$  couvre presque la totalité du temps d'acquisition avec une fréquence d'échantillonnage très élevée (donc la propriété physique de MOS figure à peine pour le calcul de distorsion).

$$\text{Cas 1 : } \begin{aligned} HD_2 &= \frac{A}{2} \left( \frac{j\omega C_S}{2\beta(V_G - V_{TH})^2} \right) \\ HD_3 &= \frac{A^2}{4} \left( \frac{j\omega C_S}{3\beta(V_G - V_{TH})^3} \right) \end{aligned}$$

Équation A5C-1

$$\text{Cas 2 : } \begin{aligned} HD_2 &= \frac{A_{sig}}{2} \frac{-0,375\omega^2 \sqrt{\frac{C_S}{\beta}} \left(\frac{t_f}{V_G}\right)^{\frac{3}{2}}}{1 - j0,886\omega \sqrt{\frac{C_S}{\beta}} \left(\frac{t_f}{V_G}\right)} \\ HD_3 &= \frac{A_{sig}^2}{4} \frac{j0,234\omega^3 \sqrt{\frac{C_S}{\beta}} \left(\frac{t_f}{V_G}\right)^{\frac{5}{2}}}{1 - j0,886\omega \sqrt{\frac{C_S}{\beta}} \left(\frac{t_f}{V_G}\right)} \end{aligned}$$

Équation A5C-2

Cas 3 :

$$HD_2 = \frac{A_{sig}}{4} \left( \frac{j\omega t_f}{V_G} \right)$$

$$HD_3 = \frac{3A_{sig}^2}{32} \left( \frac{j\omega^2 t_f^2}{V_G^2} \right)$$

Équation A5C-3

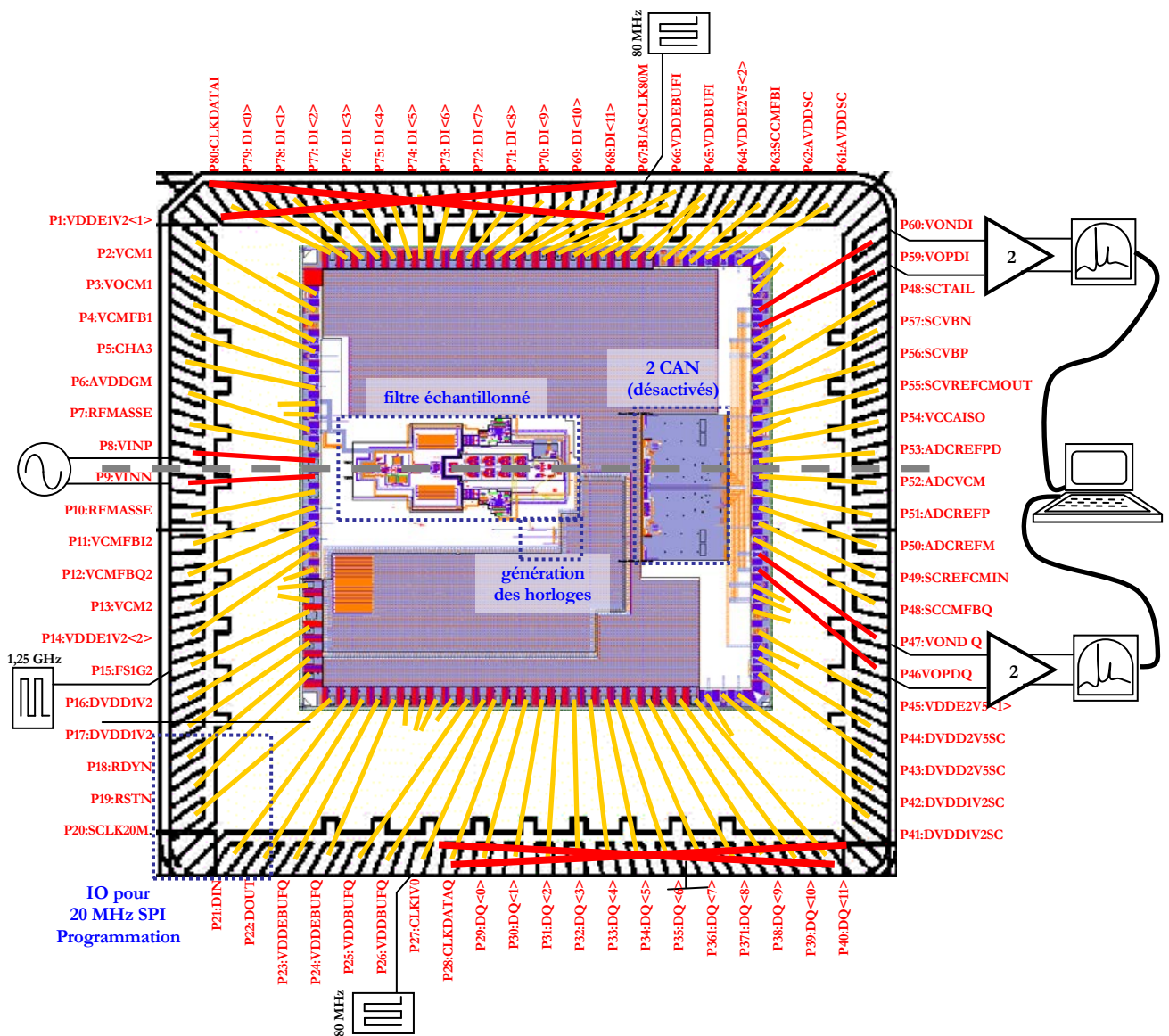


Figure A5D-1 Plan de câblage et l'environnement de mesure

Pour la caractérisation du filtre échantillonné, un signal RF différentiel entre 700 MHz et 900 MHz est introduit dans la puce par les broches *P8* et *P9*. Comme illustré sur la Figure A5D-1, les signaux sont ensuite échantillonnés en quadrature et amplifiés en interne par un intégrateur à capacités commutées avant de sortir de la puce. Deux signaux différentiels analogues aux sorties I et Q sont récupérés depuis les broches *P59/P60* et *P46/P47*, respectivement. Les signaux sont analogues puisqu'il n'y a pas de conversion analogique numérique à la sortie de la puce. Ils sont par la suite bufférisés par deux amplificateurs différentiels en parallèle à rétroaction de courant<sup>35</sup> (configuré en gain de 2) hors puce, puis capturés par un oscilloscope numérique à 50  $\Omega$ , 4 canaux, 10GS/s<sup>36</sup>. Le tampon de mémoire de 2M échantillons par canal permet de sauvegarder 200  $\mu$ s de signaux différentiels en quadrature pour une analyse fft. Etant donné que la fréquence d'échantillonnage maximum à la sortie du filtre échantillonné est d'environ 75 MHz, il y a au maximum 15 000 points disponibles pour le traitement fft.

L'échantillonnage du signal RF est commandé par un générateur d'horloge interne conduit par la liaison à la broche *P15* : *FSIG2* à 1,25 GHz maximum. « *FSIG2* » est généré à partir d'un générateur RF<sup>37</sup> avec un faible bruit de phase pour minimiser l'effet de la gigue sur SNR. Plusieurs séquences des horloges générées sont réalisables par l'intermédiaire de la programmation du bus SPI, ce qui établit les valeurs de registres internes du bloc de génération d'horloge. Deux autres sources d'horloge sont nécessaires : *P27* : *CLKI0* qui accepte un signal d'horloge à  $fS/N$ , et *P67* : *BIASCLK80M* qui actionne un circuit de polarisation interne adaptable à la fréquence d'échantillonnage.

---

<sup>35</sup> Texas Instruments™ « THS3202 current feedback amplifier »; > 1 GHz de bande passante

<sup>36</sup> Tektronix™ « TDS7000 Digital Phosphor Oscilloscopes »

<sup>37</sup> Rhode & Schwarz™ « SMHU 100KHz – 4.32GHz RF signal generator »



# BIBLIOGRAPHIE

- [1-1] J. Mitola, « Software Radio Architecture: A Mathematical Perspective, » IEEE Journal on selected areas of communications, vol. 17, no. 4, pp 514-538, April 1999.
- [1-2] J. Mitola et G.Q. Maguire, « Cognitive Radio: Making Software Radios More Personal, » IEEE Personal Communications, vol. 6, no. 4, pp 13-18, August 1999.
- [1-3] Tableau des utilisations de fréquences en France, Agence Nationale des Fréquences, [http://www.anfr.fr/pages/tnrbf/tableau\\_derive\\_150105.html](http://www.anfr.fr/pages/tnrbf/tableau_derive_150105.html)
- [1-4] J. Wei et M. Gautier, Description des Besoins des Nouveaux Systèmes Communicant, Projet Versanum, Work Package 1, February 2007.
- [1-5] D. J. Frank *et al.*, « Device Scaling Limits of Si MOSFETs and Their Application Dependencies, » Proceedings of the IEEE, vol. 89, no. 3, pp. 258-288, March 2001.
- [1-6] C. Hu, « The Future of CMOS Technology, CITRIS Asia Research Symposium, » April 10, 2006, [http://www.citris-uc.org/CITRIS-Asia/presentations\\_and\\_photos](http://www.citris-uc.org/CITRIS-Asia/presentations_and_photos)
- [1-7] C. H. Choi *et al.*, « Impact of Gate Tunnelling Current in Scaled MOS on Circuit Performance : A Simulation Study, » the 10<sup>th</sup> Workshop on Synthesis And System Integration of Mixed Technologies (SASIMI), pp. 387-393, Nara, Japan, Oct. 2001.
- [1-8] H. Kawaura and T. Baba, « Direct Tunneling from Source to Drain in Nanometer-Scale Silicon Transistors, » Jpn. J. Appl. Phys., vol. 42, part 1, no. 2A, pp. 351-357, February 2003
- [1-9] H. Wakabayashi *et al.*, « Transport properties of sub-10-nm planar-bulk-CMOS devices, » IEEE International Electron Devices Meeting, USA, pp. 429-432, December 2004.
- [1-10] S. Aghtar *et al.*, « Subthreshold Analysis of an MOS Analog Switch, » IEEE Transactions on Electron Devices, vol. 44, no. 1, pp. 89-96, January 1997.
- [1-11] S. Bazarjani, *Mixed Analog-Digital Design Consideration in Deep Submicron CMOS Technologies*, PhD Thesis, Department of Electronics, Carleton University, Ottawa, Canada, 1996
- [1-12] S.M. Sze, *Physics of Semiconductor Devices 2<sup>nd</sup> Edition*, John Wiley & Sons, Inc, 1981.
- [1-13] *ITRS 2005 EDITION – Radio Frequency and Analog/Mixed Signal Technologies for Wireless Communications*, <http://www.itrs.net/Links/2005ITRS/Home2005.htm>
- [1-14] D.A. Johns and K. W. Martin, *Analog Integrated Circuit Design*, University of Toronto, 1996.
- [1-15] M.K. Gupta, *Device Design for Sub-0.1µm MOSFETs for Sample and Hold Circuits*, MSc Thesis, Department of Electrical Engineering, University of California, Los Angeles, USA, 2003
- [1-16] H. Mathieu, *Physique des semiconducteurs et des composants électroniques 5e edition*, Dunod, Paris, 2001.
- [1-17] R. D. Issac, « The future of CMOS technology, » IBM J. Res. Develop., Vol. 44, no. 3, pp. 369-378, May 2000.
- [1-18] H. Kawaguchi *et al.*, « A Super Cut-Off CMOS (SCCMOS) Scheme for 0.5-V Supply Voltage, » IEEE Journal of Solid-State Circuit, vol. 35, no. 10, pp. 1498-1501, October 2005
- [1-19] K. Ishida *et al.*, « Subthreshold-Leakage Suppressed Switched Capacitor Circuit Based on Super Cut-Off CMOS (SCCMOS), » Proceedings of IEEE International Symposium on Circuits and Systems, pp. 3119-3122, May 2005.
- [1-20] Y. Taur *et al.*, « CMOS scaling into the 21st century : 0.1µm and beyond, » IBM J. Res. Develop., vol. 39, no. 1/2, pp. 245-260, January/March 1995.
- [1-21] B. Davari *et al.*, « CMOS Scaling for High Performance and Low Power-The Next Ten Years, » Proceedings of the IEEE, vol. 83, no. 4, pp. 595-606, April 1995.

- [1-22] S. Subbanna *et al.*, « Si/SiGe p-Channel MOSFETS, » the 1991 IEEE Symposium on VLSI Technology Digest of Technical Papers, Taiwan, pp. 103, May 1991.
- [1-23] A. Javey *et al.*, « High- $\kappa$  dielectrics for advanced carbon-nanotube transistors and carbon gates, » *Nature Materials* 1, pp. 241-246, 2002.
- [1-24] R. Martel, « Nanotube electronics : High-performance transistor, » *Nature Materials* 1, pp. 203-204, 2002.
- [1-25] B. Yu *et al.*, « Short-Channel Effect Improved by Lateral Channel-Engineering in Deep-Submicrometer MOSFET's, » *IEEE Transactions On Electron Devices*, vol. 44, no. 4, pp. 627-634, April 1997.
- [1-26] W. Henschel *et al.*, « Fabrication of 12nm electrically variable shallow junction metal-oxide-semiconductor field effect transistors on silicon on insulator substrates, » *J. Vac. Sci. Technol. B.*, vol. 21, no. 6, pp. 2975-2979, November/December 2003.
- [1-27] H. Kawaura *et al.*, « Observation of source-to-drain direct tunnelling current in 8 nm gate electrically variable shallow junction metal-oxide-semiconductor field-effect transistors, » *Applied Physics Letters*, vol. 76, no. 25, pp. 3810-3812, June 2000.
- [1-28] H. Kawaura *et al.*, « Proposal of Pseudo Source and Drain MOSFETS for Evaluating 10-nm Gate MOSFETS, » *Jpn. J. Appl. Phys.*, vol. 36, part 1, no. 3B, pp. 1569-1573, 1997.
- [1-29] H. Kawaura *et al.*, « Transistor Operation of 30-nm Gate-Length EJ-MOSFETS, » *IEEE Electron Device Letters*, vol. 19, no. 30, pp. 74-76, March 1998.
- [1-30] H. Kawaura *et al.*, « Transistor Characteristics of 14-nm-Gate-Length EJ-MOSFET's, » *IEEE Transactions On Electron Devices*, vol. 47, no. 4, pp. 856-860, April 2000.
- [1-31] A. Hartstein *et al.*, « A metal-oxide-semiconductor field-effect transistor with a 20nm channel length, » *Journal of Applied Physics*, vol. 68, no. 5, pp 2493-2495, 1990.
- [1-32] H. Noda *et al.*, « Threshold Voltage Controlled 0.1- $\mu$ m MOSFET Utilizing Inversion Layer as Extreme Shallow Source/Drain, » *International Electron Device Meeting Technical Digest*, pp. 123-126, December 1993.
- [1-33] STMicroelectronics, CMOS065 design kit, version 4.2.1, 2006.
- [1-34] Y. Liu, *MEMS and BST Technologies for Microwave Applications*, PhD Dissertation, Department of Electrical and Computer Engineering, University of California, USA, September 2002.
- [1-35] R.J. Richards et H.J. De Los Santos, « MEMS for RF/Microwave Wireless Applications : The Next Wave, » *Microwave Journal*, March 2001.
- [1-36] H.J. De Los Santos et R.J. Richards, « MEMS for RF/Microwave Wireless Applications : The Next Wave – Part II, » *Microwave Journal*, July 2001.
- [1-37] C.T.C. Nguyen, « Frequency-Selective MEMS for Miniaturized Communication Devices, » *Proceedings of the 1998 IEEE Aerospace Conference*, vol. 1, pp. 445-460, March 1998.
- [1-38] V.M. Lubecke *et al.*, « High-Q MEMS for Wireless Integrated Circuits, » *Proceedings of the 5<sup>th</sup> International Conference on Telecommunications in Modern Satellite, Cable and Broadcasting Services*, vol. 1, pp 203-209, September 2001.
- [1-39] M.A. Dubois *et al.*, « Monolithic Above-IC Resonator Technology for Integrated Architectures in Mobile and Wireless Communication, » *IEEE Journal of Solid-Stage Circuits*, vol. 41, no. 1, pp. 7-16, January 2006.
- [1-40] J.B. David, *BAW Tuning*, internal report, CEA-LETI, Grenoble, France, July 2004.
- [1-41] Fujitsu, « FBAR Filter, » <http://jp.fujitsu.com/group/labs/downloads/en/business/activities/activities-2/fujitsu-labs-netdev-002-en.pdf>
- [1-42] E. Kerhervé *et al.*, « Les Technologies BAW : évolution et application au travers des projets, » *Groupement de Recherche Ondes (GDR Ondes)*, <http://gdr-ondes.lss.supelec.fr/>

- [1-43] W.D. Barnhart, Development of Nanoelectromechanical Resonators for RFIC Applications, MSc Dissertation, Department of Electrical Engineering, Virginia Polytechnic and State University, USA, 2002.
- [1-44] S.D. Senturia, *MICROSYSTEM DESIGN*, Kluwer Academic Publishers, USA, 2001.
- [1-45] M. Aissi, Conception de Circuits WLAN 5 GHz à Résonateurs BAW-FBAR Intégrés : Oscillateurs et Amplificateurs Filtrants, PhD Dissertation, Laboratoire d'analyse et d'architecture des systèmes du CNRS, l'Université Pau Sabatier de Toulouse, France, June 2006.
- [1-46] S. Marksteiner *et al.*, « A miniature BAW duplexer using flip-chip on LTCC, » Proceedings of the 2003 IEEE symposium on ultrasonics, vol. 2, pp 1794-1797, October 2003.
- [1-47] K.M. Lakin, « Thin Film Resonators and High Frequency Filters, » TFR Technologies, Inc., [www.triquint.com/prodserv/tech\\_info/docs/white\\_papers/BAW\\_General\\_Reference.pdf](http://www.triquint.com/prodserv/tech_info/docs/white_papers/BAW_General_Reference.pdf)
- [1-48] M. Desvergne, « Conception de résonateurs et filtres à ondes de Lamb, » Rapport interne, CEA-LETI, Grenoble, 2007.
- [1-49] A.D. Yalçinkaya, Micromechanical Resonator for Low-Power, Low-Voltage Systems, PhD dissertation, Microelectronics Center, Technical University of Denmark, Denmark, June 2003.
- [1-50] J.B. David, « FBAR state of the art, » Rapport interne, CEA-LETI, Grenoble, 2003.
- [2-1] B. Razavi, *RF MICROELECTRONICS*, Prentice Hall PTR, Upper Saddle River, NJ, USA, 1998.
- [2-2] M. brandolini *et al.*, « Toward multistandard Mobile Terminals-Full Integrated Receivers Requirement and Architectures, » IEEE Transactions on Microwave Theory and Techniques, vol. 53, no. 3, pp 1026-1038, March 2005.
- [2-3] E. Colin, *Architecture Reconfigurable pour la Numérisation du Signal Radio de Récepteurs Mobiles Multistandards*, Rapport de thèse doctorale, Ecole Nationale Supérieure des Télécommunications, Paris, France, 2006.
- [2-4] J.J.O. Hialgo, System and Circuit Approaches for the Design of Multi-mode Sigma-Delta Modulators with Application for Multi-standard Wireless Receivers, PhD Dissertation, Darmstadt University of Technology, Germany, 2004.
- [2-5] M. Ingels *et al.*, « A CMOS 100 MHz to 6 GHz Software Defined Radio analog front-end with integrated Pre-Power Amplifier, » Proceedings of the 33rd European Solid-State Circuits Conference, Germany, pp 436-439, September 2007.
- [2-6] C. Schiller et P. Byrne, « A 4-GHz 8-b ADC System, » IEEE Journal of Solid-State Circuits, vol. 26, no. 12, pp 1781-1789, December 1991.
- [2-7] K. El-Sankary *et al.*, « New Sampling Method to Improve The SFDR of Time Interleaved ADCs, » Proceedings of the 2003 International Symposium on Circuits and Systems, vol. 1, pp 1833-1836, May 2003.
- [2-8] N. Kurosawa *et al.*, « Explicit Analysis of Channel Mismatch Effects in Time-interleaved ADC Systems, » IEEE Transactions on Circuits and Systems-I, vol. 48, no. 3, pp 261-271, March 2001.
- [2-9] S. Lindfors *et al.*, « A 3-V 230MHz CMOS Decimation Sub\_sampler, » IEEE Transactions on Circuits and Systems-II, vol. 50, no. 3, pp 105-117, March 2003.
- [2-10] D.H. Shen *et al.*, « A 900-MHz RF Front-End with Integrated Discrete-Time Filtering, » IEEE Journal of Solid-State Circuits, vol. 31, no. 12, pp 1945-1954, December 1996.
- [2-11] R.B. Stazewski *et al.*, « ALL-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS, » IEEE Journal of Solid-State Circuits, vol. 39, no. 12, pp 2278-2290, December 2004.

- [2-12] K. Muhammand *et al.*, « A Discrete Time Quad-band GSM/GPRS Receiver in a 90nm Digital CMOS Process, » Proceedings of the 2005 IEEE Custom Integrated Circuits Conference, pp 809-812, September 2005.
- [2-13] Y.C. Ho *et al.*, « Charge-Domain Signal Processing of Direct RF Sampler Mixer with Discrete-Time Filters in Bluetooth and GSM Receivers, » EURASIP Journal on Wireless Communications and Networking, vol. 2006, pp 1-14, 2006.
- [2-14] R. Bagheri *et al.*, « An 800MHz to 5GHz Software-Defined Radio Receiver in 90nm CMOS, » 2006 IEEE International Conference on Solid-State Circuits - Digest of Technical Papers, pp 480-481, 2006.
- [2-15] S. Andersson *et al.*, « SC filter for RF down conversion with wideband image rejection, » Proceedings of the 2006 IEEE International Symposium on Circuits and Systems, pp 3542-3545, May 2006.
- [2-16] J.E. Eklund et R. Arvidsson, « A CMOS GSM IF-Sampling Circuit With Reduced In-Channel Aliasing, » IEEE Journal of Solid-State Circuits, vol. 38, no. 6, pp 895-904, June 2003.
- [2-17] D. Jakonis *et al.*, « An RF Sampling Downconversion Filter for a Receiver Front-End, » Proceedings of the 47<sup>th</sup> IEEE Midwest Symposium on Circuits and Systems, vol. 1, pp 1165-1168, July 2004.
- [2-18] S. Karvonen *et al.*, « A CMOS Quadrature Charge-Domain Sampling Circuit With 66-dB SFDR Up to 100 MHz, » IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 52, no. 2, pp 292-304, February 2005.
- [2-19] K. Krishnamurthi et S. Jurgiel, « Accounting for LO noise in Tx/Rx mixer ICs, »
- [2-20] A.A. Abidi, « How Phase Noise Appears in Oscillator, » *Analog Circuit Design: RF A/D Converters, Sensor and Actuator Interfaces, Low-Noise Oscillators, PLLs and Synthesizers*, Kluwer Academic Publishers, 1997.
- [2-21] T. Salo, Bandpass Delta-Sigma Modulator for Radio Receiver, PhD dissertation, Department of Electrical and Communications Engineering, Helsinki University of Technology, Finland, April 2003.
- [2-22] P. Smith, « Little known characteristics of phase noise, " [www.rfdesign.com](http://www.rfdesign.com), March 2004.
- [2-23] M. Shinagawa *et al.*, « Jitter Analysis of High Speed Sampling Systems, » IEEE Journal of Solid-State Circuits, vol. 25, no. 1 p220-224, February 1990.
- [2-24] P. Eriksson and H. Tenhunen, « Phase Noise in Sampling and Its Importance to Wideband Multicarrier Base Station Receivers, » Proceedings of the 1999 IEEE International Conference on Acoustics, Speech, and Signal Processing, vol. 5, p2737-2740, March, 1999.
- [2-25] H. Kobayashi *et al.*, « Aperture Jitter Effects in Wideband Sampling Systems, » Proceedings of the 16<sup>th</sup> IEEE Conference on Instrumentation and Measurement Technology, vol. 2, p880-884, May 1999.
- [2-26] B.J. Sheu et C. Hu, « Switch-Induced Error Voltage on a Switched Capacitor, » IEEE Journal of Solid State Circuits, vol. sc-19, no. 4, pp 519-525, August 1984.
- [2-27] J.H. Shieh *et al.*, « Measurement and Analysis of Charge Injection in MOS Analog Switches, » IEEE Journal of Solid State Circuits, vol. sc-22, no. 2, pp 277-281, April 1987.
- [2-28] S. Aghtar *et al.*, « Subthreshold Analysis of an MOS Analog Switch, » IEEE Transactions on Electron Devices, vol. 44, no. 1, pp 89-96, January 1997.
- [2-29] K.F. Schuegraf *et al.*, « Ultra-thin Silicon Dioxide Leakage Current and Scaling Limit, » Proceedings of the 1992 Symposium on VLSI Technology Digest, pp 18-19, June 1992.
- [2-30] K.F. Scheugraf et C. Hu, « Hole Injection SiO<sub>2</sub> Breakdown Model for Very Low Voltage Lifetime Extrapolation, » IEEE transaction son Electron Devices, vol. 41, no. 5, pp 761-767, May 1994.

- [2-31] M. Depas *et al.*, « Determination of Tunneling Parameters in Ultra-Thin Oxide Layer Poly-Si/SiO<sub>2</sub>/Si Structures, » *Solid State Electronics*, vol. 38, no. 8, pp 1465-1471, 1995.
- [2-32] Y.C. Yeo *et al.*, « Direct Tunneling Gate Leakage Current in Transistors with Ultrathin Silicon Nitride Gate Dielectric, » *IEEE Electron Device Letters*, vol. 21, no. 11, pp 540-542, November 2000.
- [2-33] W.C. Lee et C. Hu, « Modeling CMOS Tunneling Currents Through Ultrathin Gate Oxide Due to Conduction- and Valence-Band Electron and Hole Tunneling, » *IEEE transaction on Electron Devices*, vol. 48, no. 7, pp 1366-1373, July 2001.
- [2-34] M.K. Gupta, *Device Design for Sub-0.1μm MOSFETS for Sample and Hold Circuits*, MSc. Dissertation, Department of Electrical Engineering, University Of California, Los Angeles, USA, 2003.
- [2-35] K.M. Cao *et al.*, « BSIM4 Gate Leakage Model Including Source-Drain Partition, » *Proceeding of the IEDM Meeting 2000 IEDM Technical Digest*, San Francisco, pp 815-818, December 10, 2000.
- [2-36] M.V. Dunga *et al.*, *BSIM4.6.0 MOSFET Model User's Manual*, Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, USA, 2006.
- [2-37] W. Yu, *et al.*, « Distortion Analysis of MOS Track-and-Hold Sampling Mixers Using Time-Varying Volterra Series, » *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 46, no. 2, p101-113, 1999.
- [2-38] P. Eriksson et H. Tenhunen, « A Model for Predicting Sampler RF Bandwidth and Conversion Loss, » *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems*, pp VI-18-VI21, July 1999.
- [2-39] G. Xu and J. Yuan, « A Low-voltage High-speed Sampling Technique, » *Proceedings of the 4th International Conference on ASIC*, pp 228-231, October, 2001.
- [2-40] H.O. Johansson et Christer Svensson, « Time Resolution of NMOS Sampling Switches Used on Low-Swing Signals, » *IEEE Journal of Solid State Circuits*, vol. 33, no. 2, pp 237-245, February 1998.
- [2-41] M. Shinagawa *et al.*, « Jitter Analysis of High Speed Sampling Systems, » *IEEE Journal of Solid State Circuits*, vol. 25, no. 1, pp 220-224, February, 1990.
- [2-42] H. Kabayashi *et al.*, « Aperture Jitter Effects in Wideband Sampling Systems, » *Proceedings of the 16<sup>th</sup> IEEE Conference on Instrumentation and Measurement Technology*, vol. 2, pp 880-884, May 1999.
- [3-1] B. Ray, « A highly selective passive band reject filter with Low-Q lumped element in a Si bipolar process, *IEEE BCTM*, pp 168-171, 2000.
- [3-2] M.A. Dubois *et al.*, « Monolithic above-IC resonator technology for integrated architecture in mobile and wireless communication, » *CEA-LETI et ST Microelectronics*, 2005.
- [3-3] O. Jensen *et al.*, « RF Receiver Requirements for 3G W-CDMA Mobile Equipment, » *Microwave Journal*, vol. 43, pp 22-46, 2005, February 2000.
- [3-4] S.J. Fang, *COMPLEMENTARY METAL-OXIDE-SEMICONDUCTOR FREQUENCY CONVERSION TECHNIQUES FOR WIDEBAND CODE DIVISION MULTIPLE ACCESS*, PhD Dissertation, University of Washington, 2003.
- [3-5] European Telecommunications Standards Institution, *Universal Mobile Telecommunications System (UMTS), ETSI TS 125 102 V5.5.0*, June 2003.
- [4-1] S. Karvonen *et al.*, « A Low Noise Quadrature Subsampling Mixer, » *Proceedings of the 2001 IEEE International Symposium on Circuits and Systems*, Sydney, pp 790-793, May 2001.
- [4-2] C.S. Park and R. Schaumann, « A High Frequency CMOS Linear Transconductance Element, » *IEEE Transactions on Circuits and Systems*, vol. 33, pp 1132-1138, November 1986.

- [4-3] D.A. Johns and K.W. Martin, *ANALOG INTEGRATED CIRCUIT DESIGN*, John Wiley & Sons Inc., 1995.
- [4-4] B. Nauta, « A CMOS Transconductance-C Filter Technique for Very High Frequencies, » *IEEE Journal of Solid-State Circuits*, vol. 27, no. 2, pp 142-153, February, 1992.
- [4-5] M. Koyama *et al.*, « A 2.5-V Active Low-Pass Filter Using All-n-p-n Gilbert Cells with a 1-Vp-p Linear Input Range, » *IEEE Journal of Solid State Circuits*, vol. 28, no. 12, pp 1246-1253, December 1993.
- [4-6] A. Nedungadi and T.R. Viswanathan, « Design of Linear CMOS Transconductance Elements, » *IEEE Transactions on Circuits and Systems*, vol. 31, pp 891-894, October 1984.
- [4-7] R.R. Torrance *et al.*, « CMOS voltage to current transducers, » *IEEE Transactions on Circuits and Systems*, vol. 32, pp 1097-1104, November 1985.
- [4-8] J. Silva-Martinez *et al.*, « A Large-Signal Very Low-Distortion Transconductor for High-Frequency Continuous-Time Filters, » *IEEE Journal of Solid-State Circuits*, vol. 26, no. 7, pp 946-955, July 1991.
- [4-9] S. Karvonen *et al.*, "Highly Linear Gm Element For High-Frequency Applications, " *Proceedings of the IEEE Midwest Symposium on Circuits and Systems*, pp 27-30, December 2003.
  
- [5-1] D. Senderowicz, « A Family of Differential NMOS Analog Circuits for a PCM Codec Filter Chip, » *IEEE Journal of Solid-State Circuits*, vol. sc-17, no. 6, pp 1014-1023, December 1982.
- [5-2] O.A. Adeniran et A. Demosthenous, « A 14-mW, 153.6-MHz Clock-Rate  $\Delta\Sigma$  Modulator for WCDMA with 77-dB SFDR Using Constant Resistance CMOS Input Sampling Switch, » *Proceedings of the 33<sup>rd</sup> European Solid-State Circuits Conference*, Germany, pp244-247, September 2007.
- [5-3] C. H. Lin *et al.*, « Partitioned gate tunnelling current model considering distributed effect for CMOS devices with ultra-thin (1 nm) gate oxide, » *Electronics Letters*, vol. 4, no. 3, 2 February 2006.